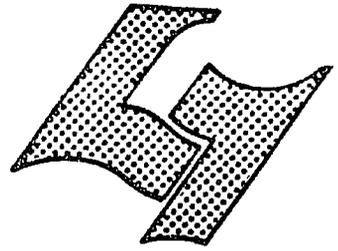


UNIVERSITE CLAUDE BERNARD LYON-I
 43, Boulevard du 11 novembre 1918
 69621 VILLEURBANNE



Diplôme d'Etudes Supérieures Spécialisées

Informatique documentaire

* NOTE DE SYNTHÈSE

NOUVELLES TECHNIQUES DE STOCKAGE
 DE L'INFORMATION

(MÉMOIRES À BULLES, À LASER, ETC...)

AUTEUR : RAMBURREN M.K

DATE : MAI 1979

DESS
 1979
 25



Je tiens à exprimer mes remerciements à :

- MM. BOUCHE, MÉRLAND, DEWEZE et FISHER pour leur aide dans la documentation,
- Mme MOUGENOT pour ses précieux conseils,
- Mme CHORIER qui s'est chargée patiemment de la dactylographie.

R E S U M E

Les mémoires à bulles, à faisceau d'électrons, CCD, et optiques sont candidates pour remplir le fossé qui existe entre les mémoires lentes, accessibles mécaniquement mais de grande capacité de stockage et les mémoires rapides, accessibles électroniquement mais de faible capacité.

Une mémoire à bulles est constituée d'un matériau semi-conducteur au sein duquel on crée des domaines magnétiques (les bulles) de 3 à 5 microns de diamètre, qu'on peut faire se déplacer suivant un parcours imposé : on fabrique ainsi des chapelets de bulles qu'on pourra "lire" avec un dispositif approprié : la présence d'une bulle correspond au 1 du langage binaire, l'absence à un 0.

Bien que le principe des mémoires à faisceau d'électrons soit très différent de celui des mémoires à disques, on retrouve l'idée d'un support magnétique simple, formé de couches continues, et d'un adressage séparé de ce support. Le progrès est la mobilité du faisceau d'électrons utilisé pour l'adressage : le support mémoire ne bouge pas, le temps d'accès est de quelques dizaines de millisecondes.

Un dispositif à transfert de charges (CCD) réalise deux fonctions essentielles : le stockage d'un paquet de charges (+ ou - dans un puits de potentiel créé dans une capacité MOS et le transfert de ce paquet de charges vers le puits de potentiel suivant.

Les mémoires optiques utilisent les conversions suivantes : modulation de la lumière → modification du support mémoire → modulation de la lumière → photodétection.

Ces nouvelles techniques vont apporter de profonds bouleversements en informatique tant du point de vue coût du bit stocké que du point de vue capacité de stockage et vitesse d'accès.

PLAN

- I - INTRODUCTION - HISTORIQUE
 - II - LES MEMOIRES A BULLES MAGNETIQUES
 - II - 1 Principe
 - II - 2 Fonctions élémentaires
 - II - 3 Réalisation, évolution prévisible et technique de fabrication
 - II - 4 Application aux b.d.d. de type relationnel
 - III - LES MEMOIRES A FAISCEAU D'ELECTRONS
 - III - 1 Principe
 - III - 2 Fonctions élémentaires
 - III - 3 Réalisation, évolution prévisible
 - IV - LES MEMOIRES C.C.D. (Charge - Coupled device)
 - IV - 1 Principe
 - IV - 2 Fonctions élémentaires
 - IV - 3 Réalisation, évolution prévisible
 - V - LES MEMOIRES OPTIQUES
 - VI - COMPARAISON DES DIFFERENTES TECHNIQUES
- CONCLUSION

TABLE DES MATIERES

	<u>Pages</u>
I - INTRODUCTION - HISTORIQUE.....	1
II - LES MEMOIRES A BULLES MAGNETIQUES.....	4
II.1. - Principe.....	5
II.1.1. - Création de bulles magnétiques.....	5
II.1.2. - Propriétés dynamiques.....	7
II.2. - Fonctions élémentaires : écriture, effacement, lecture	8
II.2.1. - Ecriture, effacement.....	8
II.2.2. - Lecture.....	8
II.3. - Réalisation, évolution prévisible et technique de fabrication.....	9
II.3.1. - Matériau.....	9
II.3.2. - Organisation.....	10
II.3.3. - Montage, assemblage.....	12
II.3.4. - Evolution future.....	15
II.4. - Application aux bases de données de type relationnel	15
II.4.1. - Rappels sur les b.d.d. de type relationnel	15
II.4.2. - Les disques magnétiques, les M.B.M. et les b.d.d. de type relationnel.....	16
II.4.3. - Exemple d'application des M.B.M. aux b.d.d. de type relationnel.....	19
III - LES MEMOIRES A FAISCEAUX D'ELECTRONS.....	21
III.1. - Principe.....	22
III.2 - Fonctions élémentaires.....	23
III.2.1. - Ecriture en mémoire.....	23
III.2.2. - Effacement.....	24
III.2.3. - Lecture.....	24
III.2.4. - Raffraîchissement.....	24
III.3. - Réalisation - évolution prévisible.....	24
IV - LES MEMOIRES C.C.D.....	26
IV.1. - Principe.....	27
IV.1.1. - Stockage et transfert de charges.....	27
IV.2. - Fonctions élémentaires.....	29
IV.2.1. - Registres à décalage.....	29

	<u>Page</u>
IV.3. - Réalisation, évolution prévisible.....	33
IV.3.1. - Diverses technologies utilisées.....	33
IV.3.2. - Organisation des mémoires C.C.D.....	34
IV.3.3. - Evolution prévisible.....	39
V - LES MEMOIRES OPTIQUES.....	41
VI - COMPARAISON DES DIFFERENTES TECHNIQUES - CONCLUSION.....	45
VI.1. - Comparaison des différentes techniques.....	46
VI.2. - Conclusion.....	47

I - INTRODUCTION - HISTORIQUE

Les mémoires sont des éléments de l'ordinateur capables d'enregistrer, de conserver et de restituer l'information. Les premiers ordinateurs utilisaient des mémoires électrostatiques, avec des temps d'accès très longs et des capacités de stockage très faibles. Ceux de la deuxième génération, vers la fin des années 1950, utilisaient des mémoires transistorisées, d'accès plus aisé. Les années 1960 virent l'apparition de la troisième génération d'ordinateurs avec les mémoires à circuits intégrés et les mémoires de masse. Le début des années 1970 vit arriver sur le marché les mémoires à micro-circuits intégrés suivant le système d'intégration à grande échelle.

De nos jours, les ordinateurs utilisent une hiérarchie de mémoires lentes, accessibles mécaniquement mais de grande capacité de stockage, en même temps que des mémoires rapides, accessibles électroniquement mais de faible capacité de stockage. Jusqu'à présent, le fossé entre ces deux types de mémoires a été comblé tant bien que mal à l'aide d'organisation et de programmation astucieuses mais il serait souhaitable qu'il le soit par des procédés à vitesse d'accès et de capacité suffisantes.

Parmi les candidats pour combler ce fossé, il y a les mémoires MOSRAM (Metal Oxide Semiconductor Random-Access Memory) suivant le procédé LSI (Large-Scale Integration), les mémoires à bulles magnétiques, les mémoires à faisceau d'électrons, les mémoires CCD (Charge-Coupled Device) et les mémoires optiques.

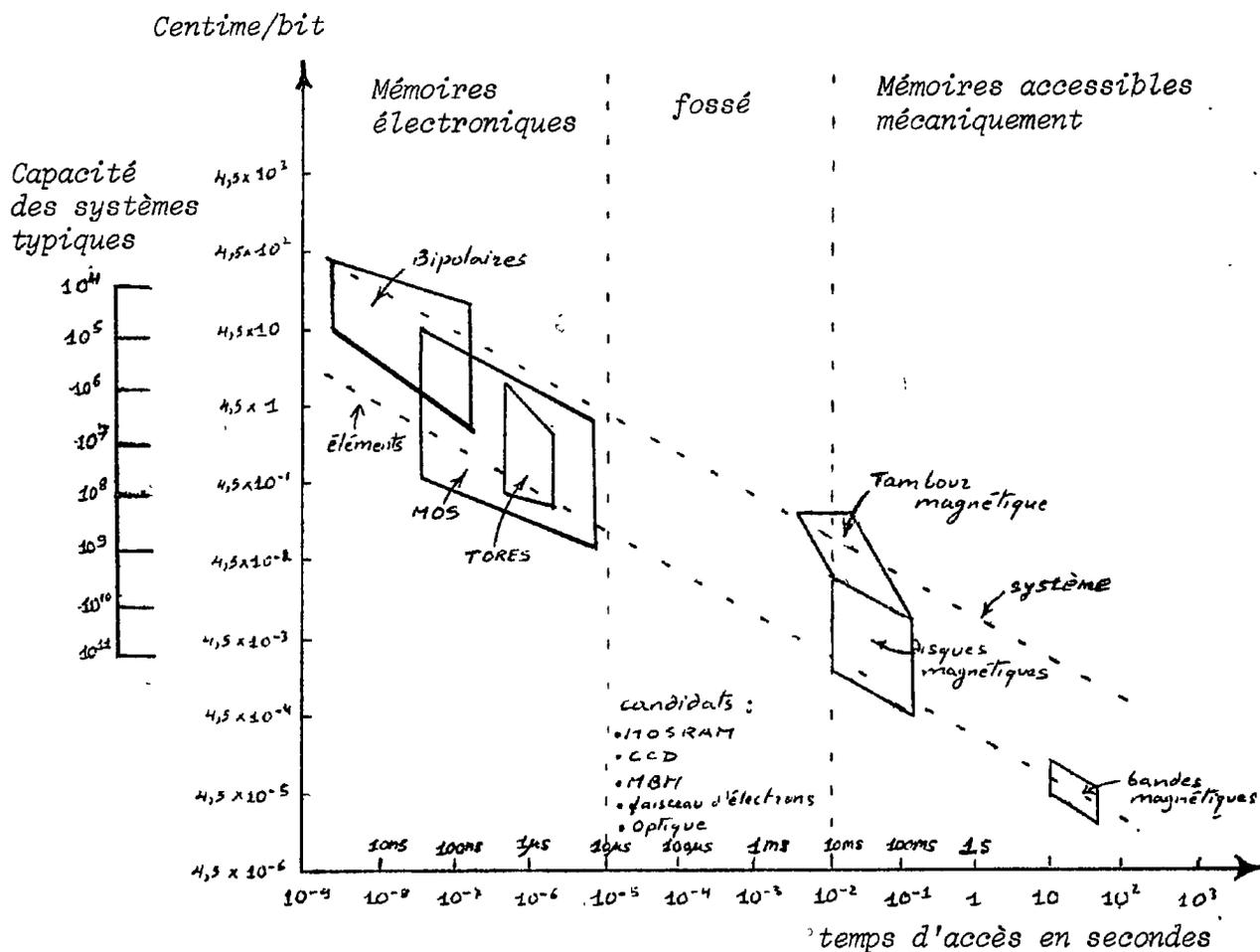


Fig. 1 : coût par bit stocké en ordonnée et temps d'accès pour les mémoires les plus utilisées à l'heure actuelle en abscisse. Les coûts au niveau système et éléments sont représentés par des lignes en pointillé.

Les mémoires MOSRAM utilisées depuis une dizaine d'années, vont sans doute continuer à jouer, à l'avenir, un rôle prépondérant.

Nous allons examiner successivement les autres types de mémoires.

II - LES MEMOIRES A BULLES MAGNETIQUES

De nombreuses sociétés ou laboratoires (Bell Laboratories, I.B.M., Univac, Rockwell aux Etats-Unis ; en France, le Laboratoire d'Electronique et de Technologie de l'Informatique du C.E.A. à GRENoble) travaillent avec acharnement depuis une dizaine d'années sur ce type de mémoire. Mais c'est la société américaine TEXAS INSTRUMENTS qui est en pointe : elle est la première à commercialiser une mémoire à bulles de 92 kilobits et met actuellement sur le marché le premier terminal portable équipé d'une mémoire à bulles (TEXAS INSTRUMENTS - Silent 700 - Modèle 765 : 20 - 80 K Octets ; celui à 80 KO coûtant 29.625 F H.T.).

II.1 - PRINCIPE

II.1.1. - Création de "bulles" magnétiques

En l'absence de tout champ magnétique externe, on peut voir apparaître, sur de minces couches (des films) de certains matériaux magnétiques (par exemple des ferrites), ce que l'on appelle des domaines magnétiques. Pour simplifier, il est commode d'admettre l'approximation qu'un matériau magnétique (c'est-à-dire capable de s'aimanter sous l'effet d'un champ magnétique) est composé d'un très grand nombre d'"aimants élémentaires" : sous l'effet du champ magnétique, ces "mini-aimants" s'alignent et c'est cet alignement qui produit l'aimantation du milieu.

Dans ces matériaux magnétiques, pris en couches minces, et en l'absence de tout champ extérieur, les "petits aimants élémentaires" du milieu ne sont pas, en fait, totalement désordonnés. La structure est choisie de sorte qu'il existe une direction privilégiée suivant laquelle ces aimants s'aligneront, soit dans un sens, soit dans l'autre, et cela ne se

fait pas d'une façon aléatoire, des zones apparaissent à l'intérieur desquelles tous les "aimants" seront alignés dans le même sens : ce sont les zones - de deux sortes, donc - que l'on appelle domaines magnétiques.



fig. 2 : domaines magnétiques

L'application d'un champ magnétique perpendiculaire au plan du film tend à favoriser les domaines dont le sens de l'aimantation est le même que celui du champ : leur "emprise" sur le matériau s'accroît ; les domaines de l'autre famille rétrécissent. A un certain moment, si l'on continue à faire croître ce champ perpendiculaire, ceux-ci finissent par se réduire à de petits domaines cylindriques dont l'axe est perpendiculaire au plan du film, les "bulles".

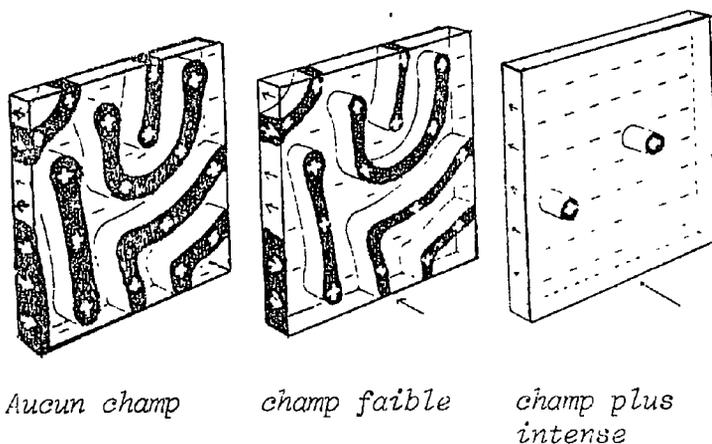
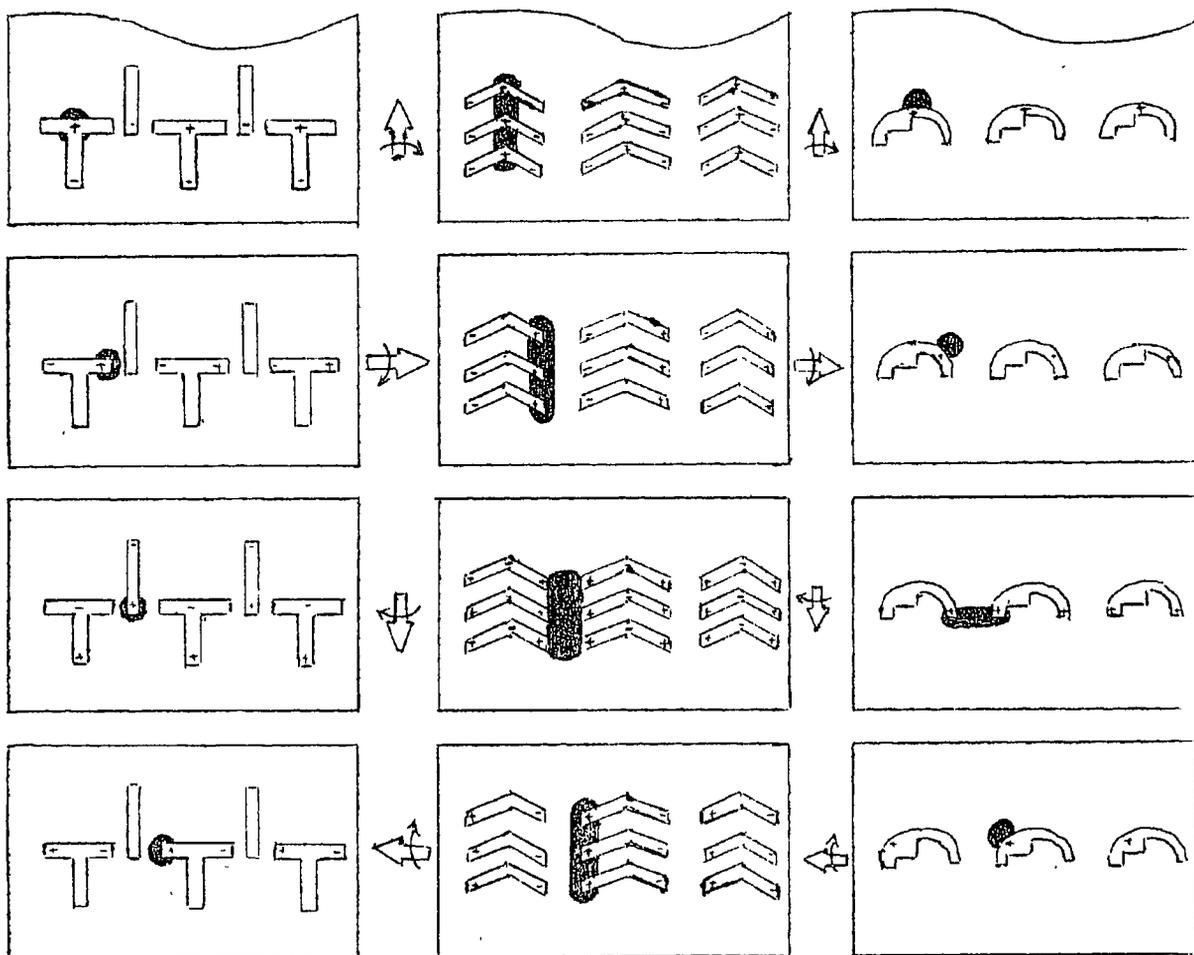


Fig. 3

II.1.2. - Propriétés dynamiques

Les bulles ont tendance à se placer aux endroits où le champ magnétique perpendiculaire à la couche est minimal. On peut moduler ce champ et déplacer les bulles, soit en créant des champs locaux avec des conducteurs, soit en utilisant le champ de fuite de motifs magnétiques déposés sur la couche ; pratiquement, on combine les deux moyens. Pour des raisons de fiabilité, la propagation proprement dite est assurée par un champ magnétique tournant, agissant par l'intermédiaire d'un réseau d'éléments magnétiques en forme, soit d'alternance de T majuscule et de I majuscule, soit de chevrons, soit de demi-disques asymétriques (ou croissants). Une rotation de 360° fait avancer toutes les bulles d'un pas. Ces motifs, dont l'aimantation par le champ tournant assure, en les attirant puis en les repoussant, le déplacement des bulles, sont dessinés de telle façon qu'ils forcent celles-ci à suivre un trajet bien déterminé. En somme, on a ainsi créé des "rails" que suivront des "trains" de bulles.



Circuit à T et I

Circuit à chevrons

Circuit à croissants

Le champ est produit par des bobines en quadrature et il tourne en permanence, à fréquence constante. Une conception soignée des circuits de commande permet de le supprimer et de le rétablir sans perturber l'information, de façon à ne pas être obligé d'alimenter la mémoire lorsqu'elle ne fonctionne pas (non volatilité).

II,2 - FONCTIONS ÉLÉMENTAIRES : ÉCRITURE, EFFACEMENT, LECTURE

Les fonctions classiques (écriture, effacement, lecture) utilisent des combinaisons de circuits spéciaux (création, transfert avec ou sans copie). L'ensemble est réalisé avec quelques couches métalliques séparées par des isolants. Une couche non magnétique contient les divers conducteurs de commande. Une autre couche est en permalloy et sert principalement à la propagation, aux changements de forme des bulles et à la détection.

II,2.1. - Écriture, effacement

Il s'agit de former un "train" de bulles où les zéros sont représentés par des bulles manquantes. Les bulles sont fabriquées à la demande, au moyen d'un conducteur métallique dans lequel l'envoi d'une impulsion électrique modifie localement le champ magnétique et crée ainsi une bulle qui sera, ensuite, envoyée dans le circuit. Le "train" créé peut éventuellement être dédoublé.

Pour effacer, la bulle est dirigée vers un domaine réservoir.

II,2.2. - Lecture

On utilise la propriété qu'ont certains matériaux, appelés pour cette raison "magnétorésistants", de présenter une résistance électrique variable selon le champ magnétique auquel ils sont soumis. Dans l'organe de lecture, on fait s'étirer les bulles de sorte qu'elles voient leur volume considérablement augmenté (plusieurs centaines de fois) :

Le domaine magnétique ainsi engendré produit un champ suffisant pour que son passage se traduise par une variation de courant. La transmission d'information reprend ainsi la forme de signaux électriques, classique pour les circuits électroniques qu'utilise l'informatique.

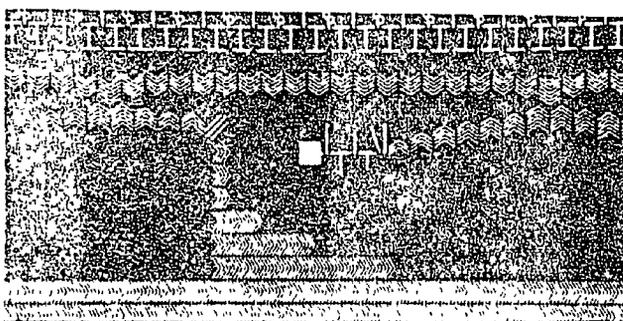
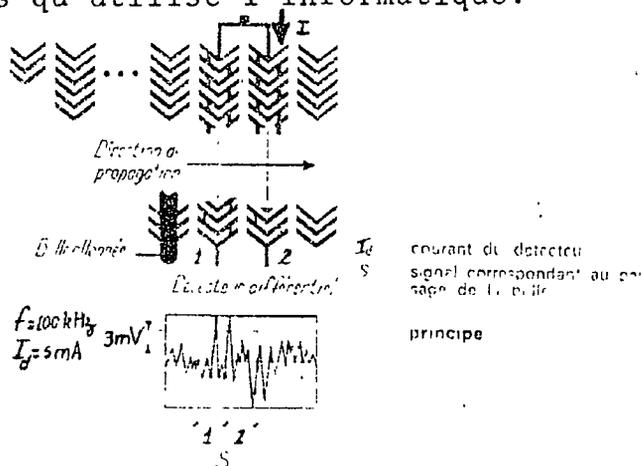


Fig. 6 : Mémoire à bulles : fonction lecture (doc. L.E.T.1.)

II.3 - RÉALISATION, ÉVOLUTION PRÉVISIBLE ET TECHNIQUE DE FABRICATION

II.3.1. - Matériau

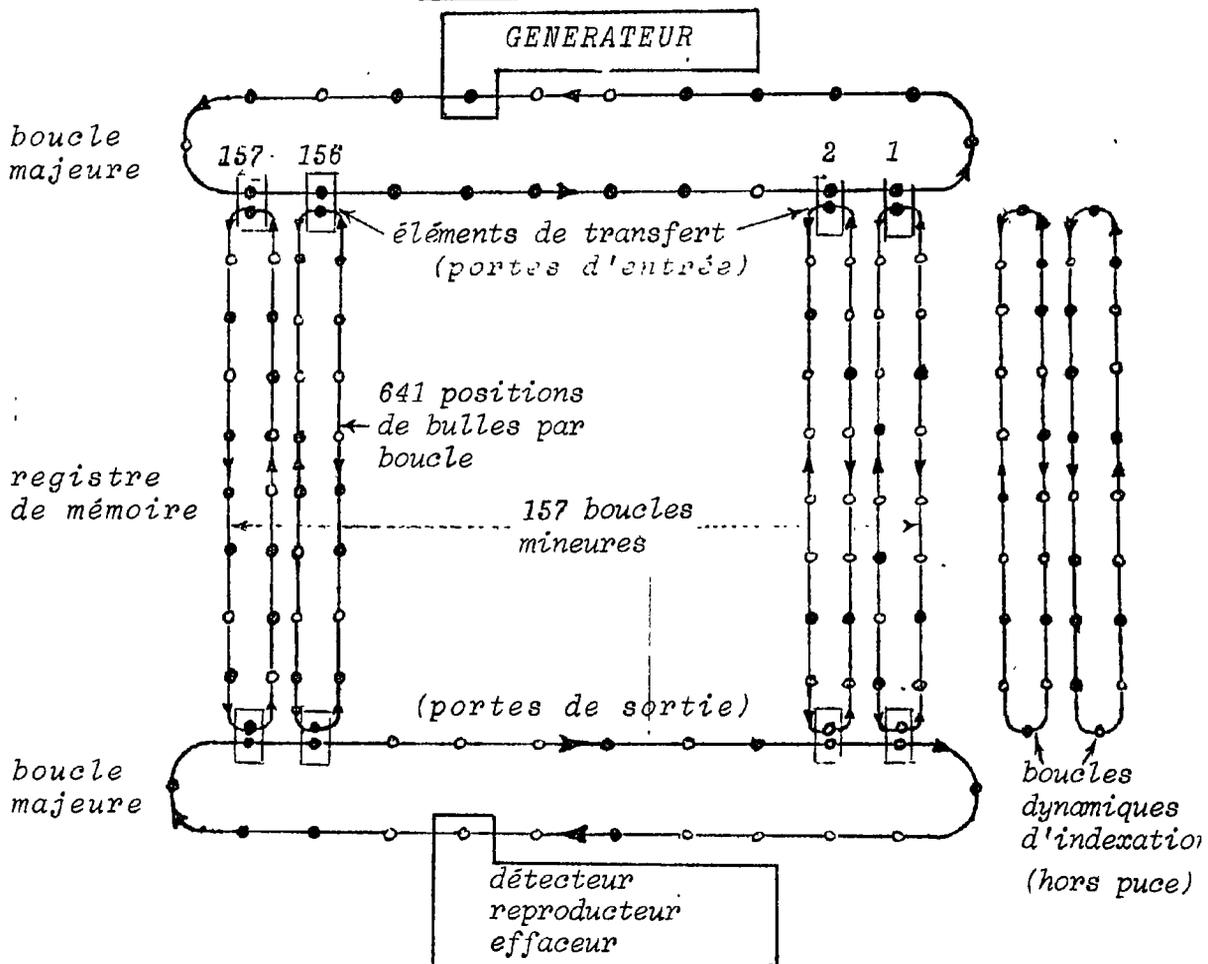
Les premiers matériaux sur lesquels ont travaillé les chercheurs étaient des matériaux magnétiques du type orthoferrite. Très vite, cependant, on chercha autre chose : en effet, il est apparu que, pour que la stabilité des bulles soit maximale et que les dispositifs utilisés soient les plus fiables, il fallait que le diamètre des bulles soit à peu près égal à leur longueur, et donc à l'épaisseur du matériau magnétique.

D'autre part, il est très important, pour avoir les coûts les plus bas, de miniaturiser le plus possible le dispositif ; en l'occurrence, cela veut dire diminuer au maximum le diamètre des bulles, et donc l'épaisseur du matériau.

Pour obtenir des couches de quelques microns (de l'ordre de 3) il fallait procéder par épitaxie (c'est-à-dire en faisant, dans des conditions particulières, "pousser" un cristal sur un substrat approprié). On utilise plus communément une variété de grenat (un oxyde de gadolinium et de gallium - $Gd_3 Ga_5 O_{12}$) ayant des propriétés magnétiques voulues et présentant, quand on le fait croître par épitaxie, l'anisotropie nécessaire (c'est-à-dire qu'il possède une direction privilégiée selon laquelle s'alignent les "aimants élémentaires" du milieu). Tous les constructeurs travaillent ainsi aujourd'hui sur des grenats magnétiques qui, déposés sur un substrat neutre (un grenat magnétique), ont une épaisseur d'environ 3 microns.

II,3,2. - Organisation

Fig. 6 : Le coeur de la mémoire



La figure indique le mode de circulation dans une mémoire à bulles de 100.637 bits. Pendant la durée de fonctionnement de la mémoire, les bulles parcourent sans arrêt les chemins imposés (d'où l'appellation "chapelets" de bulles).

Chaque boucle majeure contient un bloc entier constitué de 0 et de 1 (absence ou présence de bulles) qui peut être soit écrit dans la mémoire, soit "lu" destructivement ou non. Dans notre exemple, on a affaire à un bloc de 157 bits.

En cycle d'écriture en mémoire, 157 bits sont générés sur la boucle majeure et sont véhiculés jusqu'à ce que le premier bit du bloc de données soit aligné sur la boucle mineure la plus éloigné (boucle 1) et à ce moment précis, sur un signal, les 157 bits sont transférés simultanément aux 157 boucles mineures à raison d'un bit par boucle. Chaque boucle mineure admet de la place pour 641 bulles. Ainsi la capacité totale est de 157×641 , soit 100.637 bits.

En phase de lecture, les données sur les boucles mineures sont laissées en circulation jusqu'à ce que le bloc de 157 bits désiré soit en bonne position et, à un signal, les 157 bits sont transférés simultanément sur la boucle majeure. Les bulles sont véhiculées en direction du détecteur/reproducteur/effaceur. Si l'on désire une lecture non destructive, au moment du passage dans le détecteur/reproducteur/effaceur, chaque élément de donnée est reproduit, de sorte que celui qui est reproduit occupe exactement la place de l'original sur la boucle majeure cependant que l'original est dirigé vers le circuit de détection. Après détection, l'original sera détruit. Le bloc de données reproduites sur la boucle majeure est véhiculé jusqu'à ce que le premier bit soit aligné sur la boucle mineure 1 et, à un signal, il y a transfert simultané des 157 bits aux 157 boucles (qui auront, entre-temps, accompli exactement un tour complet), de sorte qu'on aura restitué les données appelées pour être "lues".

En lecture destructive, on effectue la première partie des opérations sans qu'il y ait reproduction et réinsertion dans les boucles mineures.

Si la mémoire est entièrement occupée, on ne pourra effectuer d'autres écritures en mémoire qu'à condition d'avoir mené, au préalable, une opération de lecture destructive.

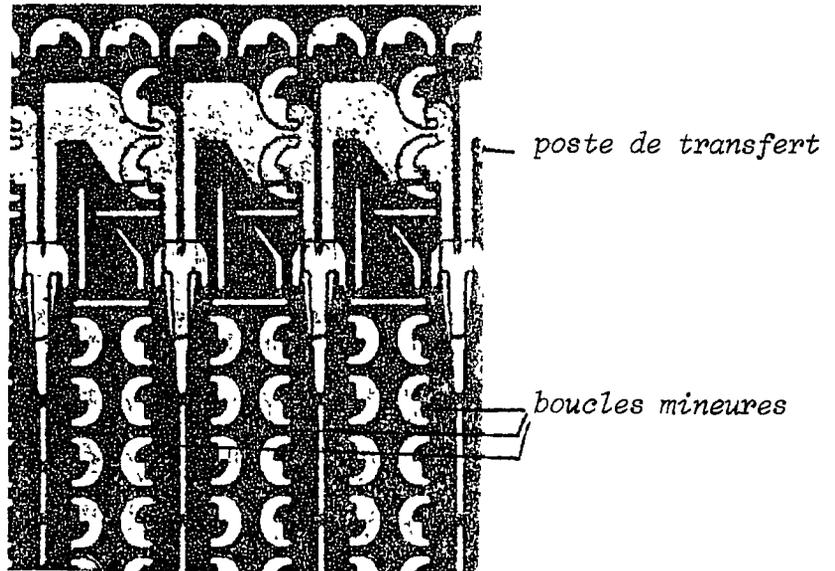


Fig. 7 : circuit de propagation de type croissant

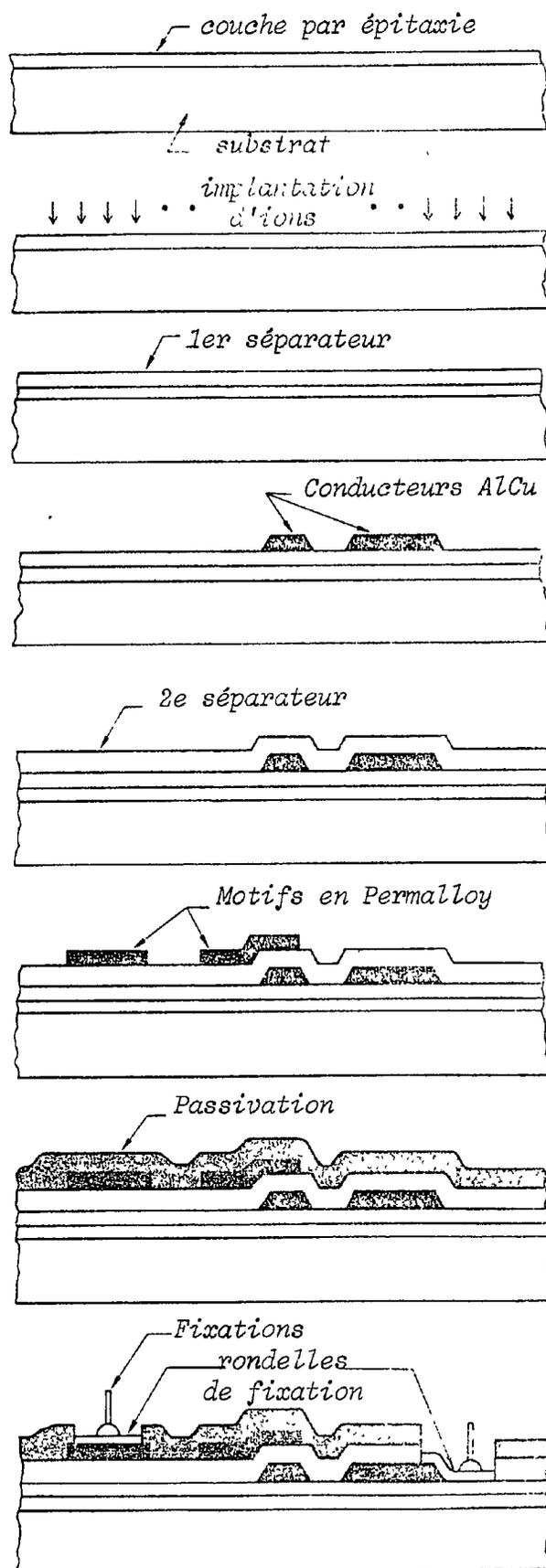
On remarque les éléments de transfert ainsi que les boucles mineures (document L.E.T.I.)

II,3,3. - Montage, assemblage

On fabrique par épitaxie une couche de grenat d'environ 3 microns sur un substrat, suivie d'une implantation d'ions prévue pour éliminer les bulles "dures". Ensuite, un premier séparateur de bioxyde de silicium, servant d'amortisseur de tension et de barrière de diffusion, sur lequel sont implantés les conducteurs d'aluminium et de cuivre, suivi d'un deuxième séparateur muni de motifs de permalloy jouant le rôle de "rails" pour les "trains" de bulles.

Le tout sera recouvert d'une couche protectrice reliée au reste à l'aide de fixations. La puce ainsi constituée est approximativement un carré de 9,27 mm de côté.

Fig. 8



Suivant le modèle considéré, 1 à 4 puces sont disposées à l'intérieur d'un jeu de bobines qui créera le champ tournant assurant la circulation des bulles. Des aimants permanents, de part et d'autre du jeu de bobines, fournissent le champ magnétique nécessaire à la stabilisation des bulles même lorsque l'ensemble n'est plus alimenté en courant (d'où la propriété de non volatilité). L'interface et les circuits de contrôle se trouvent à l'extrême gauche de la figure 9 :

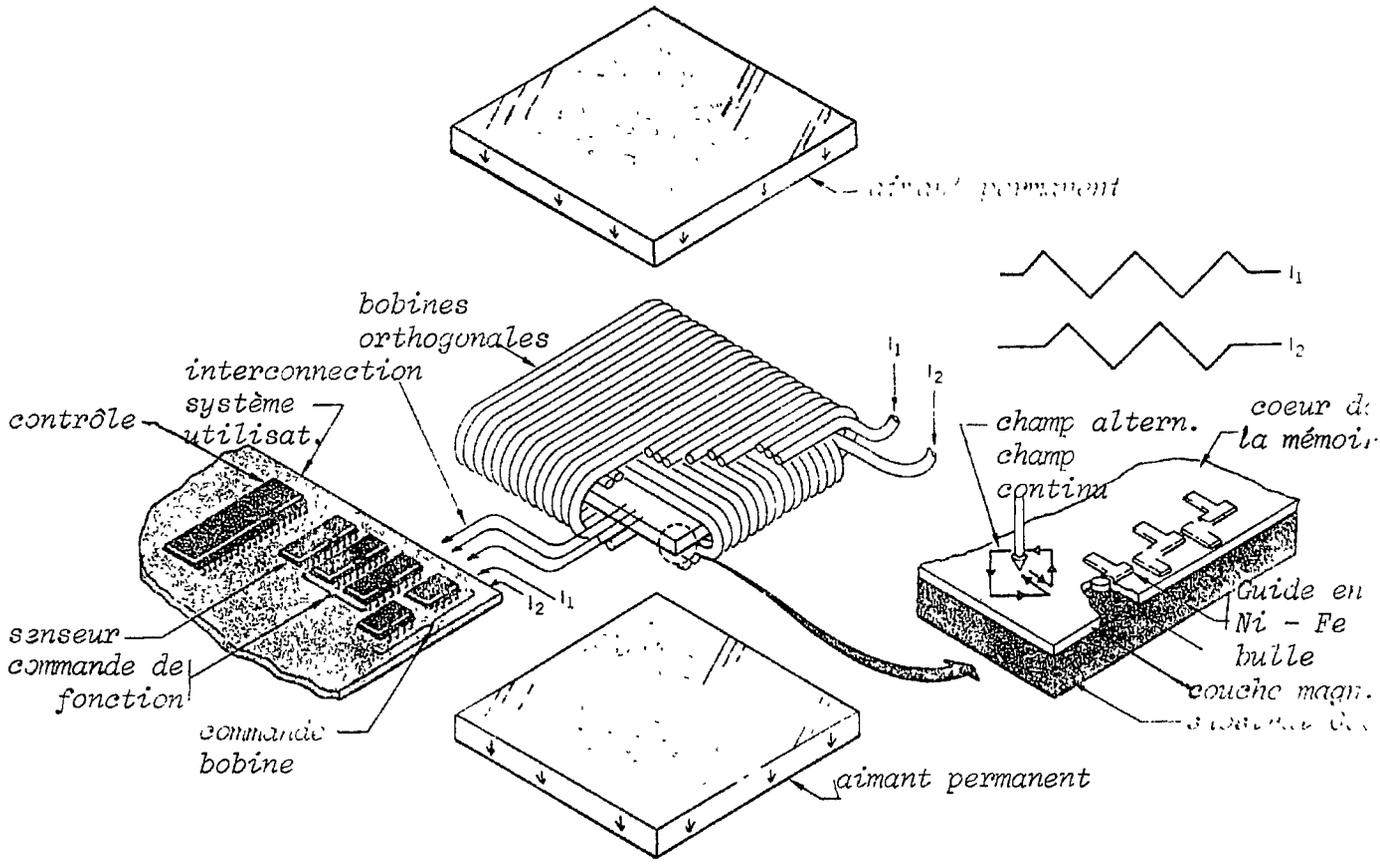


Fig. 9 (TIBO 103 de 92 kbit ; doc. Texas Instrum.

L'assemblage est réalisable dans un boîtier DIL (à deux rangées de broches) standard, muni d'un appareillage de protection contre des champs magnétiques indésirables pouvant atteindre 40 oersteds. Le tout a une taille de 25,4 x 27,9 x 10,2 mm, soit approximativement celle d'une petite boîte d'allumettes. Il peut ainsi être monté sur la même plaque de circuit imprimé qu'un micro-processeur pour former une unité traitement/mémoire.

II.3.4. - Evolution future

L'objectif principal est d'accroître la densité pour réduire le coût. A l'aide de circuits plus futuristes (chaînes de disques en permalloy et réseaux de bulles) ainsi que de techniques améliorées de fabrication (structure planaire, lithographie au moyen de faisceaux d'électrons), la capacité pourrait être multipliée par un facteur de 10^3 . La puce augmentera, non pas physiquement, mais en capacité de stockage. Il se pourrait que lors des dix prochaines années, la capacité passe de 10^5 par puce à 10^8 , et le coût du bit stocké de 0,5 centime par bit à 0,005 centime.

D'autre part, la non volatilité de l'information, la taille d'une puce et le bon comportement en milieu hostile - résistance aux chocs de 50 g et aux vibrations de l'ordre de 10 g sur une gamme étendue, excellente tenue climatique (-20°C à +80°C en mode fonctionnement et -55°C à +125°C en mode stockage) et bonne tenue aux rayonnements - promettent aux mémoires à bulles magnétiques un brillant avenir pour des applications civiles (mémoires associées à des petits calculateurs ou au téléphone, mémoires de mini-ordinateur en remplacement de disques à têtes fixes), militaires et spatiales.

II.4. - APPLICATION AUX BASES DE DONNÉES DE TYPE RELATIONNEL

II.4.1. - Rappels sur les bases de données de type relationnel

Le modèle relationnel, bien que de conception très simple, est un puissant outil analytique. Il est basé sur la théorie mathématique des relations et, contrairement aux autres modèles, a des fondements théoriques très solides. Dans ce modèle, une base de données est considérée comme une collection de relations exprimées sous forme de tableaux.

Chaque tableau admet en ligne des entités et en colonne leurs attributs. Les divers items du tableau peuvent varier soit par des insertions ou des suppressions, soit par des mises à jour. Exemples de tableaux :

- . EMP (NOM, DEPT, SAL)
- . VENTES (DEPT, ITEM)
- . APPROV (ITEM, FOURNISSEUR)
- . TYPE (ITEM, COULEUR, TAILLE).

Les relations peuvent être liées entre elles à l'aide d'attributs compatibles. Une interrogation consiste essentiellement à sélectionner dans les tableaux les items satisfaisant à certains critères. Grossièrement, on peut assimiler cette opération au découpage en petits morceaux de vieux tableaux pour en constituer un nouveau.

II.4.2. - Les disques magnétiques, les M.B.M. et les bases de données de type relationnel

La configuration des mémoires à bulles magnétiques a été étudiée en particulier pour s'adapter aux bases de données de type relationnel et pour satisfaire aux exigences d'accès aux données. Le système de boucles majeures/mineures, légèrement modifié, offre d'excellentes possibilités d'accès aux données alors que les boucles dynamiques d'indexation permettent des traitements très efficaces des données. Nous allons comparer les mémoires à bulles et les mémoires à disques magnétiques face au modèle relationnel.

Voici la traduction d'un programme d'application de la disposition logique à la disposition physique pour les deux types de mémoires :

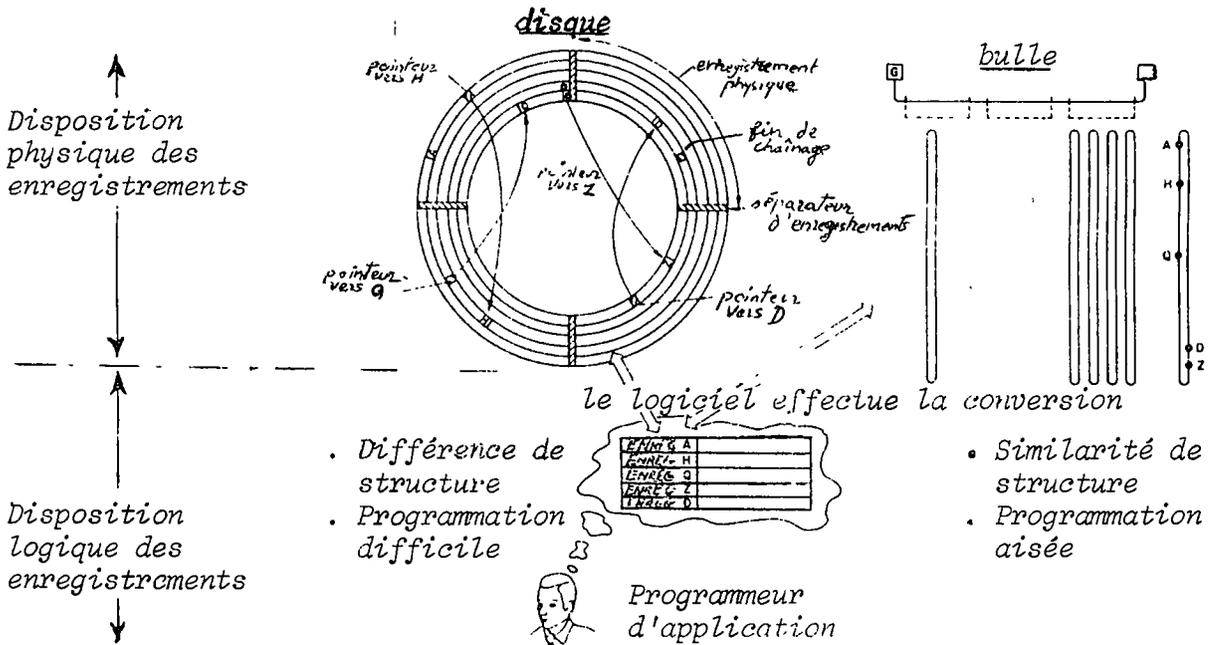


Fig. 10 : Des complexités de programmation différentes se posent lors de la traduction.

Pour les disques, étant donné qu'il existe un préformatage des données, on doit faire appel à des pointeurs pour pouvoir naviguer une recherche et atteindre des vitesses d'accès raisonnables. Ainsi, les données réelles doivent être mélangées à des données descriptives, ce qui entraîne une certaine dépendance des données par rapport au mode de stockage. Tout changement de structure de stockage et de stratégie d'accès devient alors, pour le moins, laborieux.

Le problème ne se pose pas au niveau des mémoires à bulles. La structure de stockage et la stratégie d'accès sont implicites dans l'implantation des items, ce qui évite les données descriptives.

TABLEAU COMPARATIF POUR LE MODÈLE RELATIONNEL

	DISQUES MAGNETIQUES	MEMOIRES À BULLES
<u>ARCHITECTURE</u>	<ul style="list-style-type: none"> ° Les Fonctions de la b.d.d. dans des microprocesseurs externes aux pistes de données. ° Opération parallèle ° Synchronisation au niveau bloc. 	<ul style="list-style-type: none"> ° Les fonctions de la b.d.d. dans des mémoires intelligentes agrémentées de logique externe simple. ° Opération parallèle ° Synchronisation au niveau bit.
<u>STRUCTURE DES DONNEES</u>	<ul style="list-style-type: none"> ° Préformatée ° Données + description ° Linéarisée 	<ul style="list-style-type: none"> ° Implicite à la structure ° Données uniquement ° Naturellement bi-dimensionnelle
<u>ENSEMBLE D'INSTRUCTIONS</u>	<ul style="list-style-type: none"> ° Complet du point de vue relationnel ° Recherche ° Mise à jour ° Fonction ensembliste ° Insertion et suppression ° Création et Destruction de b.d.d. ° Décision et transfert 	<ul style="list-style-type: none"> ° même liste sauf qu'il y a transparence au niveau du hardware.
<u>HARDWARE</u>	<p>Stockage :</p> <ul style="list-style-type: none"> ° Groupement de disques processeurs : <ul style="list-style-type: none"> . unité de stockage et de manipulation . tampon . unité arithmétique et logique. 	<p>Stockage :</p> <ul style="list-style-type: none"> ° Groupement de puces jouant le rôle de processeurs : <ul style="list-style-type: none"> . Comparateur . boucle dynamique d'indexation . registres multiples . pas de tampon.
<u>PERFORMANCE</u>	<ul style="list-style-type: none"> ° lecture séquentielle d'une piste entière 	<ul style="list-style-type: none"> ° lect. séquentielle d'items déjà sélectionnés pour d'autres qualificat. ° Vit. d'exéc. 10 à 100 fois plus rapides.

II,4,3. - Exemples d'application des M.B.M. aux bases de données de type relationnel

Voici le répertoire des instructions (essentiellement des manipulations de tableaux) intervenant dans le cas des mémoires à bulles appliquées aux bases de données de type relationnel

Création de tableau

FORMAT

ECRIRE

Modification de tableau

INSERTION

SUPPRESSION

MAJ

MODIFICATION (AJOUT, SOUST, MUL, DIV)

Manipulation de tableau

Listage de relations ou d'attributs : LIST

Accès : SELECT

PARCOUR

SELEC-SUIV

Lecture : LIRE (REG 1)

LIRE (REG N)

LIRE /

Initialisation : INIT

Divers

Itération : TANT QUE IND-CMT

(ou NON IND-CMT)

... FAIRE

Branchement : SI... ALORS... SINON

Lien entre tableaux : REGC (tableau 2) ←

REGN (Tableau 1)

Exemple 1 : Il s'agit de sélectionner, dans le département des jouets, les salariés touchant plus de 10.000 F. L'instruction SELECT est une instruction qui recherche tous les items indexés d'une colonne, effectue des opérations sur le contenu des items dans un comparateur hors-puce et modifie l'index pour les items qualifiés.

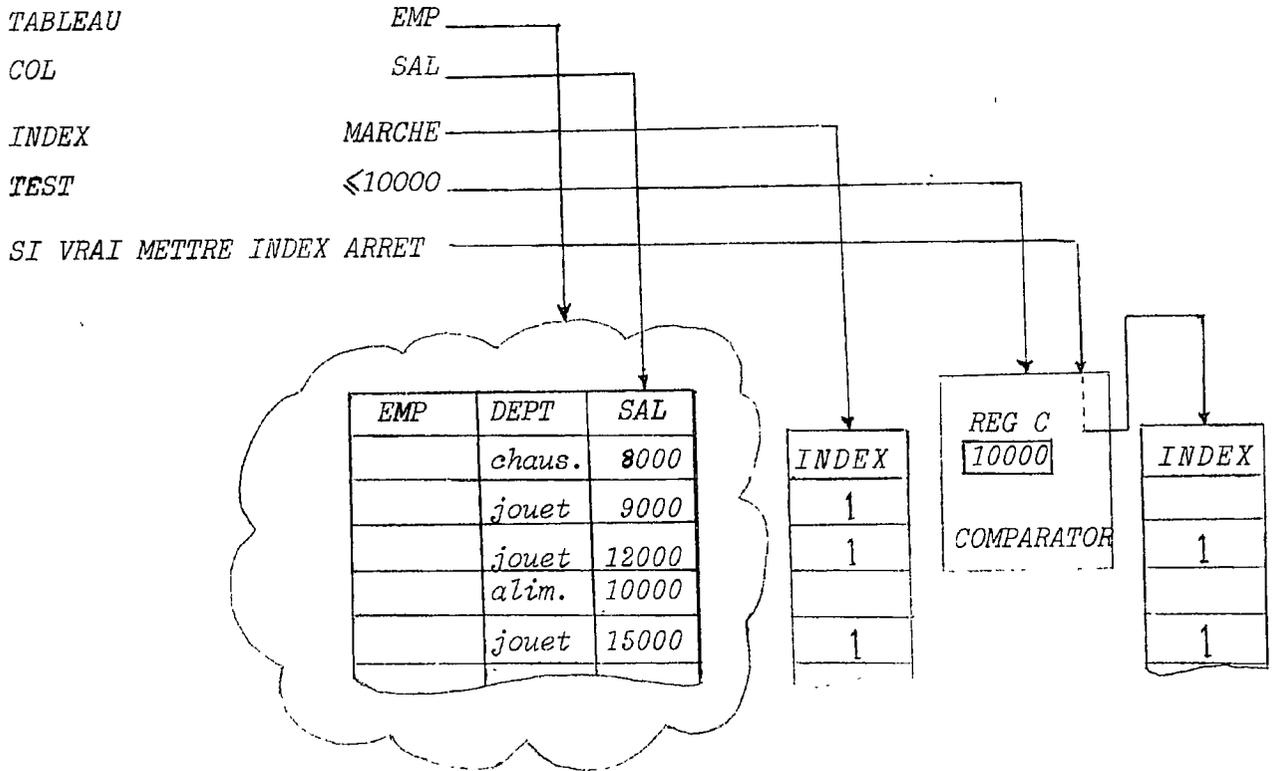
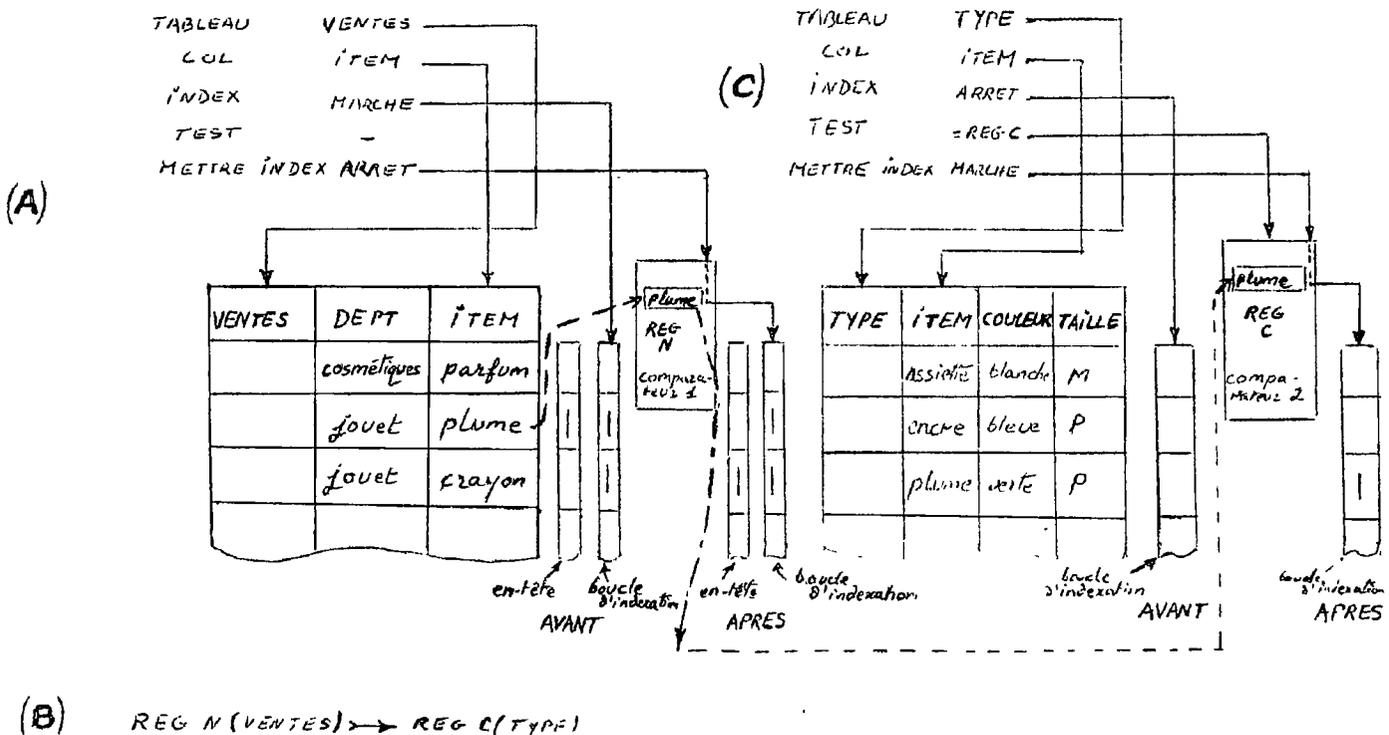


fig. 11

Exemple 2 : L'instruction REGC ← REGN est utile pour lier deux relations entre elles.

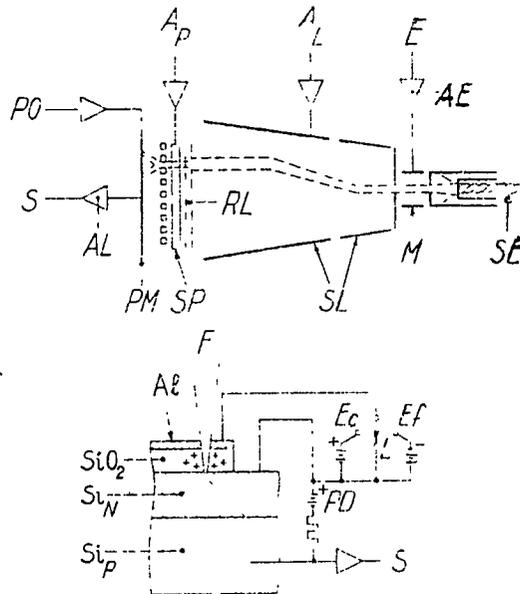


III - LES MEMOIRES A FAISCEAU D'ELECTRONS
(ELECTRON BEAM-ACCESSED MEMORIES)

Les mémoires à faisceau d'électrons sont étudiées par au moins quatre compagnies : GENERAL ELECTRIC, I.B.M., MICRO-BIT et le STANFORD RESEARCH INSTITUTE.

III, 1. - PRINCIPE

Le faisceau d'électrons est un pointeur d'adresse de densité d'énergie très élevée et de définition très fine. Dans les premiers tubes de stockage utilisés, les limitations étaient dues au mode de stockage par dépôt de charges en surface et aux imperfections dans la mise au point et la déviation du faisceau. D'énormes progrès ont pu être réalisés grâce aux deux innovations récentes : stockage dans des semi-conducteurs et déviations composées. Nous allons étudier la mémoire à faisceau d'électrons mise au point par la GENERAL ELECTRIC.



AE	amplificateur d'écriture	M	modulation du faisceau
AL	amplificateur de lecture	PD	polarisation de l'oxyde
AL	adresse de lentille	PM	plan mémoire
AP	adresse de page	PO	polarisation de l'oxyde
E	entrée	RL	réseau de lentilles
Ec	écriture	S	sortie
EF	effacement	SE	source d'électrons
F	faisceau d'électron	SL	sélecteur de lentilles
L	lecture	SP	sélecteur de pages

Fig. 13. — Tube mémoire à faisceau d'électrons : schéma de principe

Le support mémoire est un crystal de silicium de type P (Si_p) dopé N en surface (couche par épitaxie - Si_n) et recouvert d'une fine couche isolante de SiO_2 et d'une électrode d'aluminium. Les épaisseurs sont telles qu'un électron accéléré à 10 keV peut pénétrer l'aluminium et la couche isolante de SiO_2 et créer des paires électrons-trous dans le silicium.

L'adresse s'effectue en deux étapes :

- . la première, à l'aide d'un système classique de déviation horizontale/verticale (tube cathodique) qui, à partir de l'adresse d'une lentille, peut la repérer dans le réseau de lentilles.
- . la deuxième, à l'aide d'un mécanisme qui, à partir de l'adresse d'une page mémoire, peut la sélectionner dans le plan mémoire.

Il y a accès direct au niveau des blocs de données et accès séquentiel à l'intérieur du bloc.

III.2. - FONCTIONS ÉLÉMENTAIRES

III.2.1. - Ecriture en mémoire

Le faisceau d'électrons accélérés à 10 keV sur le point où l'on veut écrire un bit 1, crée des paires électrons-trous dans le silicium. En appliquant une tension positive entre l'électrode d'aluminium et le silicium N, les électrons relativement mobiles laissent des trous non compensés, piégés près de l'interface SiO_2 - Si.

III,2,2. - Effacement

On applique une tension négative entre l'aluminium et le silicium pendant l'envoi du faisceau. Les électrons produits se recombinaient avec les trous piégés. 7

III,2,3. - Lecture

On envoie le même faisceau, avec une intensité réduite, sans appliquer de tension entre l'aluminium et le silicium. Les charges positives piégées favorisent la diffusion des trous créés par le faisceau vers la jonction PN, polarisée en inverse, où ils donnent un courant :

Le rapport $\frac{\text{courant de jonction}}{\text{courant de faisceau}}$ est de 100 en l'absence de charge piégée et de 1.400 à charge maximale.

III,2,4. - Raffraichissement

Les charges piégées se recombinaient partiellement à chaque lecture. Il faut réécrire l'information toutes les 20 lectures.

La rémanence des charges n'est pas infinie : en un mois, à 20° C, 20 % des charges disparaissent, et davantage si la température est plus élevée. La mémoire est non volatile au sens où une panne de courant ne détruit pas l'information, mais elle ne convient pas à l'archivage.

III,3. - RÉALISATION - ÉVOLUTION PRÉVISIBLE

On a expérimenté des tubes de 32 Mbit avec un temps d'accès de 30 ms et un débit de 10 Mbit/s. Les 32 Mbit sont inscrits au pas de 4 microns, dans un carré de 3 cm de côté. Un système comportant plusieurs tubes avec accès série ou parallèle selon le débit voulu.

Le prix prévu est de l'ordre de 0,1 centime par bit. La principale amélioration envisagée est l'augmentation de la capacité par tube.

D'après les essais, il devrait être possible d'atteindre le milliard de bits par tube en multipliant par 10 la surface accessible au faisceau et en divisant le pas par 3. Le temps d'accès ne devrait pas augmenter car il est déterminé par la charge de la capacité d'oxyde à travers la résistance de la couche N. Les mémoires à faisceau d'électrons ne seront économiques qu'à partir de capacités unitaires importantes (quelques tubes, au moins 10^8 bit).

IV - LES MEMOIRES C C D

(MÉMOIRES À TRANSFERT DE CHARGES)

Les sociétés ou laboratoires travaillant sur ce type de mémoire depuis 1975 sont INTEL, MNEMONICS, FAIRCHILD et TEXAS INSTRUMENTS.

IV.1. - PRINCIPE

Deux fonctions essentielles interviennent dans une mémoire CCD : le stockage d'un paquet de charges (+ ou -) dans un puits de potentiel créé dans une capacité MOS, et le transfert de ce paquet de charges vers le puits de potentiel suivant.

IV.1.1. - Stockage et transfert de charges

La figure 14 illustre une capacité MOS. Elle est constituée d'un substrat de silicium (N ou P), d'une couche isolante de $0,12 \mu\text{m}$ d'épaisseur (en général de SiO_2) et d'une électrode métallique (aluminium ou silicium polycristallin).

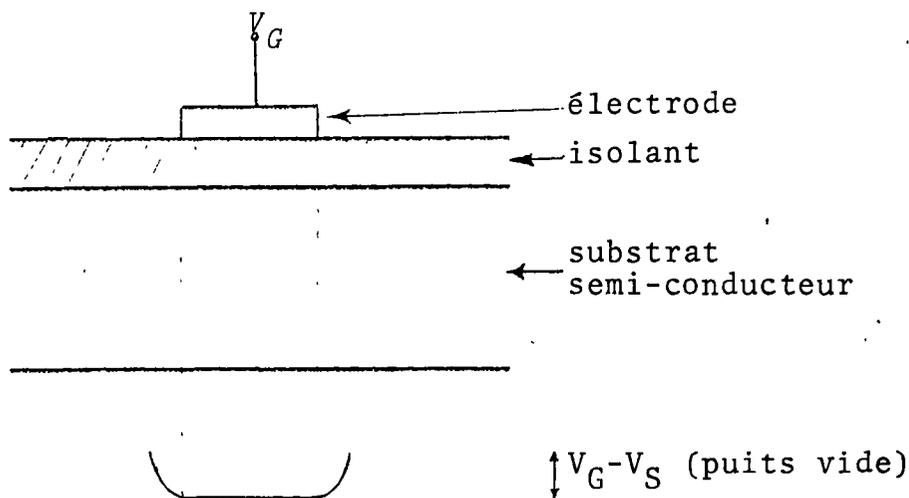


Fig. 14 : capacités MOS

Si l'on applique un échelon de tension sur l'électrode métallique, le champ électrique créé repousse les porteurs majoritaires dans le volume donnant ainsi naissance à une zone dite d'appauvrissement profond.

Cet état d'appauvrissement profond ne se maintient pas indéfiniment. L'ensemble retrouve un état d'équilibre du fait de la génération thermique de porteurs minoritaires qui peuplent la zone d'appauvrissement. Le temps de retour à l'équilibre est de l'ordre de 0,1 à 100 s, selon la température de qualité de l'interface Si - SiO₂ et le dopage. Une telle structure est apte à stocker temporairement (avant retour à l'équilibre), une certaine quantité de charges sous forme de porteurs minoritaires injectés sous l'électrode de stockage. Cette quantité peut atteindre au maximum $S C_{ox} (V_G - V_S)$ où S est la surface de l'électrode, C_{ox} la capacité de l'oxyde par unité de surface, V_G la tension appliquée à l'électrode et V_S la tension de seuil de l'élément.

Le transfert d'une électrode à la suivante s'effectue comme le montre la figure 15.

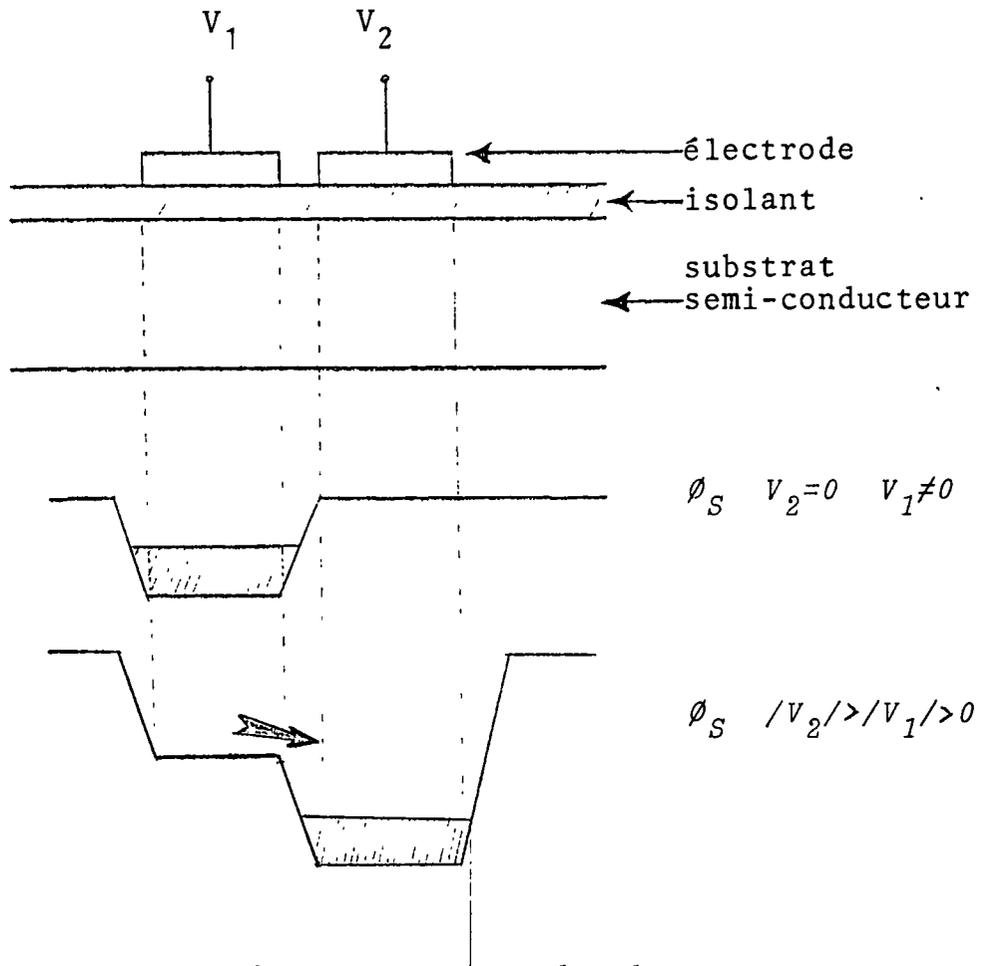


Fig. 15 : Transfert des charges

Un paquet de charges est stocké sous la première électrode : un puits de potentiel plus profond est créé sous la deuxième électrode. Le transfert des charges de l'une à l'autre met en jeu plusieurs phénomènes :

- . transfert par self-induction qui affecte la quasi totalité des charges,
- . diffusion thermique, qui achève le transfert des charges restantes, mais demande théoriquement un temps infini pour assurer un transfert complet.

IV.2. - FONCTIONS ÉLÉMENTAIRES

IV.2.1. - Registres à décalage

Ces registres sont constitués d'une suite d'électrodes réalisant le stockage et le transfert des charges utiles. Pour assurer ce transfert, les électrodes sont alimentées par des générateurs d'horloges ou phases. On distingue divers types de fonctionnement suivant le nombre de phases requises.

(i) Une phase et polarisation continue

La figure 16 illustre un tel registre. Un étage comporte quatre électrodes regroupées deux à deux. Un groupe est polarisé par une tension continue ϕ_{PC} , l'autre par l'horloge unique ϕ_1 . L'unidirectionnalité du transfert est assurée par une barrière de potentiel créée entre deux électrodes du même groupe, de manière technologique.

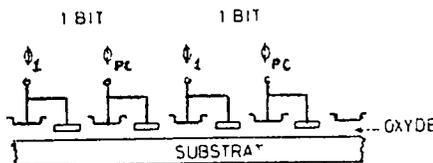


Fig 16 - Registre 1 phase et polarisation continue

(ii) Deux phases :

Un tel registre (fig. 17) a la même structure que le précédent et nécessite encore une "barrière technologique" pour assurer la directionnalité du transfert.

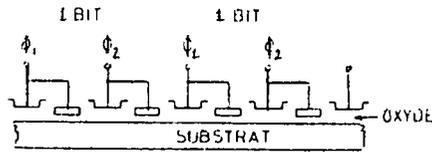


Fig 17 -- Registre 2 phases

(iii) Trois phases :

Chaque étage comporte trois électrodes. L'unidirectionnalité du transfert est assurée par la forme d'onde des phases et non plus de manière technologique.

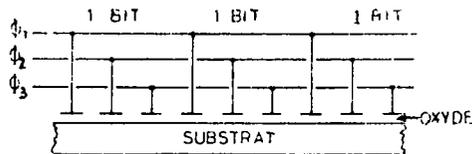


Fig 18 - Registre 3 phases

(iv) Quatre phases :

Ce type de registre est analogue au précédent, mais comporte quatre électrodes par étage au lieu de 3 (fig. 19). Le transfert d'un étage au suivant s'effectue en deux "demi-transferts".

Entre deux demi-transferts, on dispose de périodes relativement longues pendant lesquelles les paquets de charges sont fixes et donc accessibles pour des opérations de lecture-écriture.

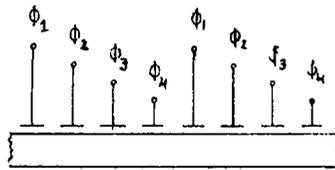


Fig 19 - Registre 4 phases

Du point de vue technologique, le registre à deux phases est le plus délicat à réaliser car il nécessite deux épaisseurs d'oxyde, alors que les registres trois et quatre phases ne demandent qu'une épaisseur uniforme d'oxyde. Du point de vue électrique, la mise en oeuvre du registre deux phases est la plus simple, mais le registre quatre phases est le plus commode d'emploi à la lecture et à l'écriture.

(V) Etages d'entrée :

Ceux-ci sont destinés à introduire dans le premier étage du registre, une quantité de charges calibrée représentant un "1" logique (le "0" consiste en une absence de charges).

La figure 20 présente deux types de circuits :

- à commande par la grille : la source est une simple diffusion P^+ ou N^+ polarisée par une tension V_G . La grille d'entrée met en communication le premier puits du registre avec la source de porteurs aux instants voulus. Ce circuit est très utilisé ;
- à commande par la diode : la diode source est bloquée ou rendue passante suivant la quantité de charges à injecter.

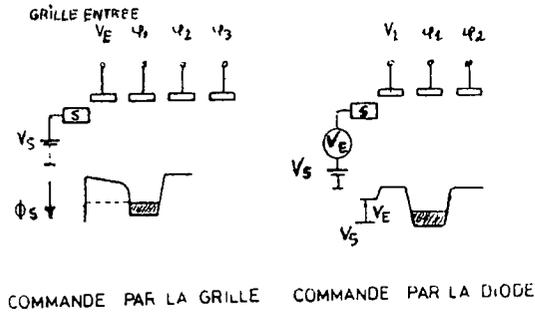


Fig. 20 -- Étages d'entrée

(Vi) Etages de sortie :

Ceux-ci ont pour but de détecter la présence ou l'absence de charges, et de générer, en conséquence, un signal exploitable par les circuits extérieurs au registre.

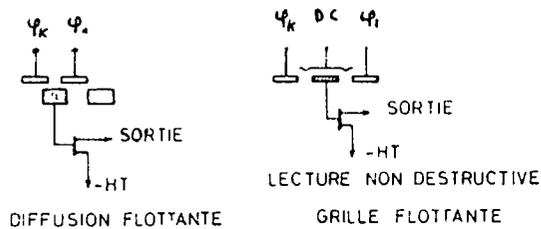


Fig 21 - Étages de sortie

La figure 21 présente deux types :

- à diffusion flottante : la capacité inverse de la diode diffusion D - substrat est déchargée périodiquement, puis laissée en l'air. L'arrivée d'une charge signal modifie son potentiel et donne ainsi un signal de sortie qui sera amplifié par un inverseur MOS classique ;
- à grille flottante : Dans ce cas, le passage de la charge-signal sous la grille flottante modifie son potentiel, mais cette lecture est non destructrice car le paquet de charges n'est pas supprimé et peut continuer son chemin.

IV.3. - RÉALISATION, ÉVOLUTION PRÉVISIBLE

IV.3.1. - Diverses technologies utilisées

En gros, on peut les classer en 2 catégories : les technologies monocouches et les technologies multicouches.

(i) Technologies monocouches

Les registres ainsi réalisés ont une structure plane. L'épaisseur d'oxyde est constante tout au long du registre. La figure 22 en présente un exemple relatif à un registre 3 phases utilisant le procédé de cimentation. Le métal d'électrode est, soit de l'aluminium, soit du silicium polycristallin.

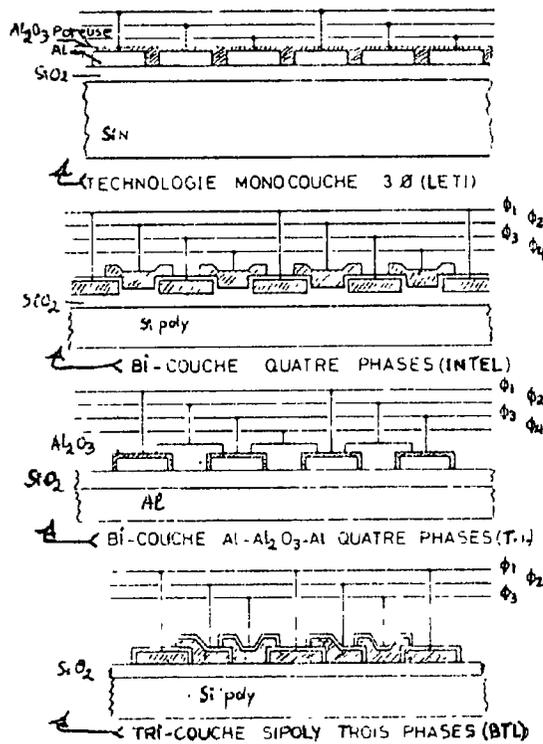


Fig 22 - Technologies CCD

(ii) Technologies multicouches

Celles-ci permettent l'utilisation de circuits tels que ceux indiqués figure 22, où l'on trouve un ou plusieurs niveaux d'oxyde et deux ou trois types d'électrodes de transfert.

Ces technologies permettent une grande densité d'intégration et améliorent la qualité du transfert, ainsi que la fréquence maximale de fonctionnement, en diminuant l'écart inter-électrodes. Actuellement, tous les constructeurs semblent préférer la technologie à double niveau de grilles en silicium polycristallin.

IV.3.2 - Organisation des mémoires CCD

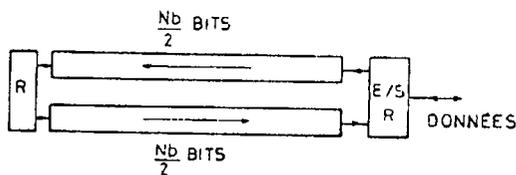
(a) Cellules élémentaires

(i) Boucle

C'est la cellule la plus simple de toutes. Comme le montre la figure 23, elle est constituée de deux registres décalant les données en sens inverse, couplés à leurs extrémités par deux circuits de régénération.

Une telle structure a un fonctionnement très simple quel que soit le nombre de phases et s'implante très facilement en technologie bi-couche.

La puissance consommée est élevée car tous les bits se déplacent en même temps, à la même vitesse. Son temps d'accès est proportionnel à sa capacité, ce qui limite celle-ci à des valeurs faibles.



R ETAGE DE RÉGÉNÉRATION

Fig. 23 - Boucle

(ii) Matrice série-parallèle-série

La figure 24 montre une telle structure. Elle comporte un registre série d'entrée de longueur m bits, un registre série de sortie de même longueur, et une matrice de m registres parallèles de k bits chacun.

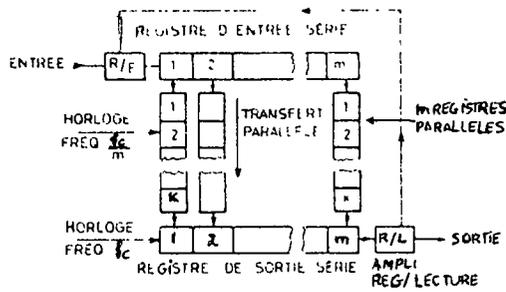


Fig. 24 - Matrice SPS

Les données sont introduites dans le registre série par groupes de m bits. Lorsque ce registre d'entrée est plein, les données qui conviennent sont transférées simultanément dans les premiers étages des registres parallèles. Ces données sont ensuite décalées jusqu'au bas de la matrice, où elles sont chargées dans le registre de sortie qui les achemine alors en série vers la sortie. Un tel fonctionnement nécessite deux fréquences d'horloge : une fréquence "parallèle", lente, f_c/m , pour décaler les mk bits des registres parallèles.

Une telle structure a une puissance consommée réduite puisque la plus grande partie de la matrice fonctionne à fréquence "lente" f_c/m . Le temps d'accès est assez long du fait des k décalages à fréquence "lente".

(iii) Matrice SPS condensé

La figure 25 présente une telle matrice. Le principe de fonctionnement reste le même que précédemment, mais au lieu de ne placer qu'un seul registre parallèle par étage de registre série, on en place p , où p est le nombre de phases de fonctionnement des registres séries. On augmente ainsi la densité de stockage de la matrice en plaçant un registre parallèle sous chaque électrode des registres série. Une telle matrice nécessite 2 fréquence d'horloge f_c et f_c/pm et des formes d'onde un peu plus complexes que pour les SPS classiques.

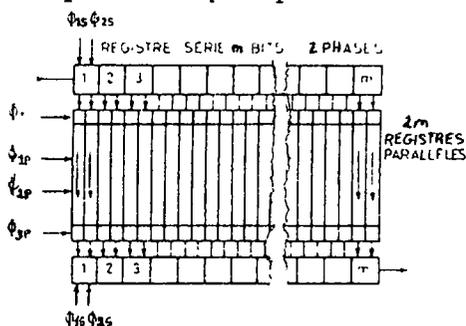


Fig. 25 - Matrice CSPS

(iv) Multiplexage "une électrode par bit" (MEB)

La figure 26 montre un exemple de cellule MEB. Elle comprend des électrodes de stockage, séparées par des électrodes de transfert. Celles-ci sont actionnées par k horloges différentes.

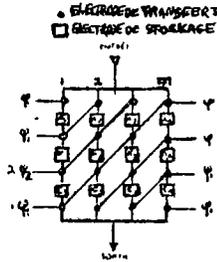


Fig 26 - Matrice MEB

Il existe, à tout instant, autant d'électrodes libres de données que d'horloges, donc k. L'activation de chaque horloge, l'une après l'autre, permet le transfert simultané de k bits vers la sortie, avec pour effet la progression vers l'entrée des espaces libres évoqués plus haut. Si N_e désigne le nombre d'électrodes de stockage, la capacité de stockage est de $(N_e - k)$ bits (k espaces libres). Le nombre d'électrodes par bit vaut $\frac{N_e - k}{N_e}$ proche de 1 si N_e est grand devant k d'où l'appellation "une électrode par bit". Toutefois, son implantation est délicate du fait du nombre de lignes d'horloges, et de la génération nécessaire d'un grand nombre d'horloges.

(b) Organisation du plan mémoire

(i) Serpentin, à boucle unique

Cette organisation (fig. 27), consiste en une boucle élémentaire allongée pour obtenir une forte capacité. Des circuits de régénération sont placés tous les m bits. Ceux-ci sont aussi des étages de lecture non destructive pour conserver un temps d'accès court. Cette structure consomme une puissance élevée et réclame beaucoup de circuits de régénération.

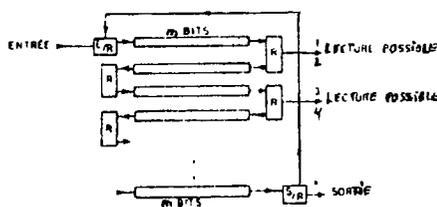


Fig 27 - Serpentin à boucle unique

(ii) Boucles multiples multiplexées

Cette structure (fig. 28) utilise la boucle élémentaire de taille réduite. Un certain nombre de celles-ci sont placées en parallèle. Un décodeur classique permet l'accès à chacune d'elles.

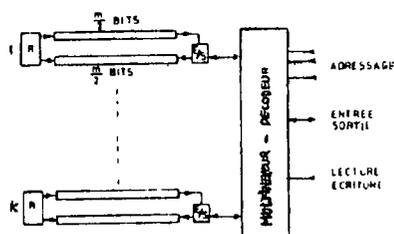


Fig 28 - Boucles multiples multiplexées

On peut envisager 2 modes de fonctionnement :

- toutes les boucles sont décalées à vitesse réduite, sauf celle qui est adressée et qui fonctionne à fréquence nominale pour conserver un temps d'accès court et un débit élevé.

- toutes les boucles sont décalées en parallèle à la même vitesse. Lors d'une recherche d'un groupe de bits, le décalage est effectué à fréquence maximale, pour minimiser le temps d'accès. Une fois ce bloc de données retrouvé, le décalage est effectué beaucoup plus lentement. Le décodeur balaye alors les différentes boucles pour en extraire les données.

(iii) Organisation en lignes adressables

Celle-ci est représentée figure 29. Le plan mémoire est organisé en n blocs, constitués chacun de m registres longs de k bits. Sa capacité est donc de $n.m.k$ bits. Les m sorties de chaque bloc attaquent les circuits d'entrée/sortie. Les données sont disponibles sous forme de mots de n bits correspondant aux n blocs. Un décodeur permet la sélection, dans chaque bloc, d'un seul registre parmi les m . Chaque sélection

agit à deux niveaux :

-au niveau de la logique E/S pour l'aiguillage des sorties des registres adressés vers les bus D_1/O_i

-au niveau des horloges de décalage. Seuls, les registres adressés dans chaque bloc sont attaqués par les horloges. Les autres registres sont au repos et n'ont donc qu'une fonction de stockage. Ce type de fonctionnement impose une contrainte : il faut adresser obligatoirement tous les registres de tous les blocs à intervalles réguliers pour permettre la régénération des données.

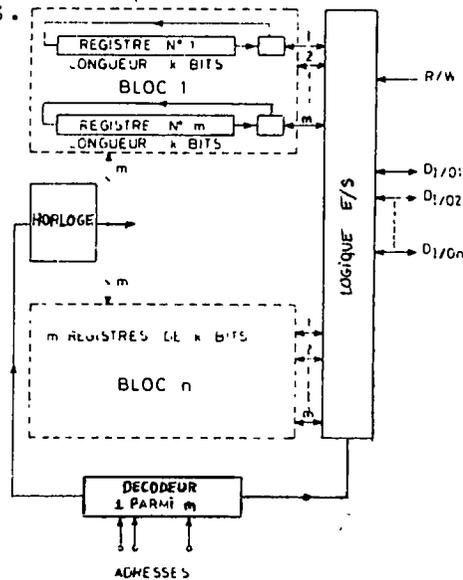


Fig 29 - Organisation en lignes adressables

(iv) Organisation en blocs adressables

Le plan mémoire est partagé en blocs de capacité élevée, de type SPS, CSPS ou MEB. La figure 30 présente ce type d'organisation. Tous les blocs sont attaqués en parallèle par les horloges.

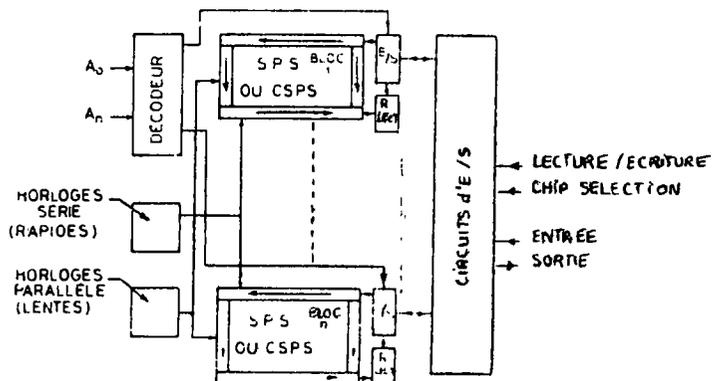


Fig 30 - Organisation en blocs adressables

Celles-ci ont une fréquence constante, quel que soit le mode de fonctionnement ; celle-ci est fonction de la gamme de température de fonctionnement et de la taille des blocs. Un décodeur permet la sélection d'un bloc parmi les n, ou plusieurs en parallèle, si l'accès se fait par mots de plusieurs bits.

(c) Comparaison des organisations

Caractéristiques des organisations

Organisation / Caractéristique	Serpentin à boucle unique	Boucles multiples avec multiplexage	lignes adressables	Blocs adressables	
				SPS / C.S.P.S.	M.E.B.
Puissance consommée	élevée	moyenne (dépend de l'utilis.)	faible	faible	très faible
Temps d'accès	court (mais avec beaucoup de circuits de régénération)	court	court	long	très court
Densité de stockage	moyenne	médiocre (beaucoup de circuits de régénération)	mauvaise (beaucoup de périphériques)	bonne	moyenne (beaucoup d'horloges)
Complexité d'implantation	moyenne (croisements de lignes d'horloge nécessaires)	moyenne (circuits de régénération-croisements de lignes d'horloges nombreux)	grande (aiguillage des horloges)	faible (pas de croisements de lignes d'horloge)	grande (lignes d'horloges très nombreuses)
Souplesse d'utilisation	mauvaise	excellente	moyenne	moyenne	moyenne

IV,3,3. - Évolution prévisible :

On sait l'intérêt d'introduire des mémoires auxiliaires rapides destinées à faciliter les échanges entre la mémoire centrale très rapide et la mémoire de masse à disques (notion de hiérarchie de mémoires).

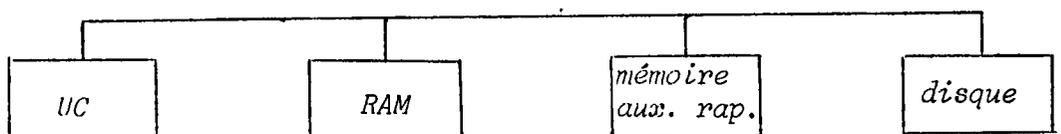


Fig. 31: Hiérarchie des mémoires

Les mémoires CCD (ainsi que les MBM d'ailleurs), ayant des temps d'accès inférieurs à la milliseconde et pouvant atteindre plusieurs mégabits, ceci à des coûts 4 fois moins élevés que les mémoires MOS RAM, peuvent être utilisées de 3 façons différentes :

- liées aux RAM pour constituer des mémoires virtuelles
- mémoires périphériques indépendantes en remplacement ou en supplément de disques à têtes fixes
- mémoires-tampon pour des système intelligents de disques

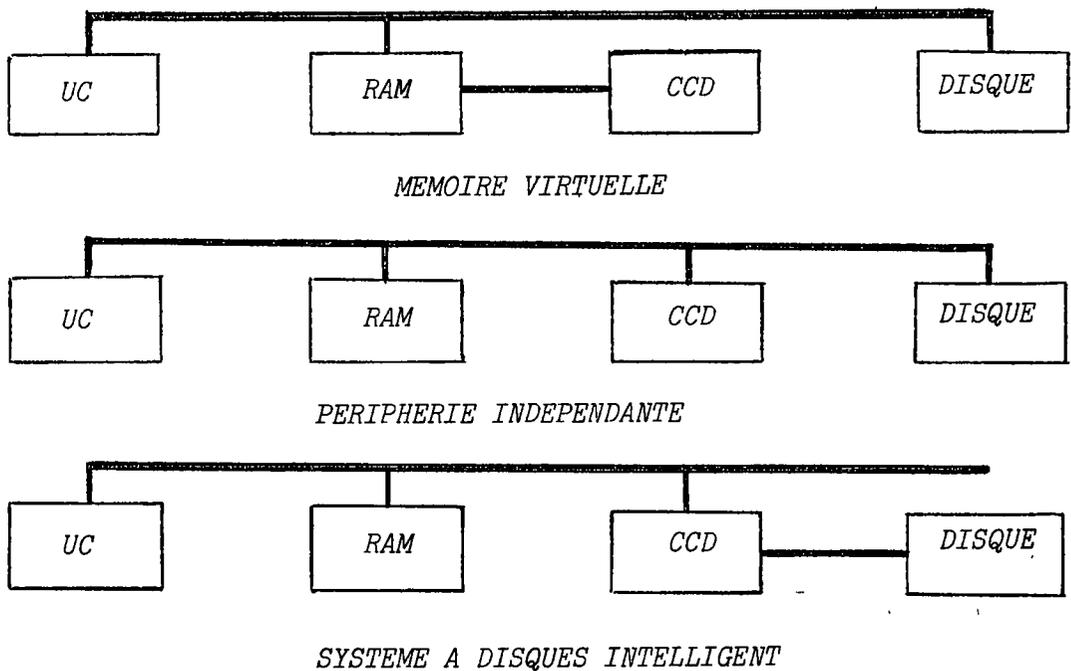


Fig. 32

On prévoit que les mémoires CCD vont doubler en capacité chaque année. On a déjà atteint 64kbits (Texas Instruments-TMS 3064) et on prévoit les évolutions suivantes :

CAPACITE (bits)	GEOMETRIE MINIMALE (μm)	TAILLE CELLULE (μm^2)	TAILLE PUCE (mm^2)	ANNEE
257k	2,0-2,5	45-65	24-34	1980
1M	1,0-1,5	13-26	27-54	1981-82
4M	0,75-1,0	7-12	59-100	1986-87

V - LES MEMOIRES OPTIQUES

De nombreux organismes et laboratoires travaillent depuis 1965 sur les mémoires optiques (PHILIPS, BELL LABORATORIES, SIEMENS, R.C.A., HONEYWELL Inc.) mais les travaux restent au stade expérimental.

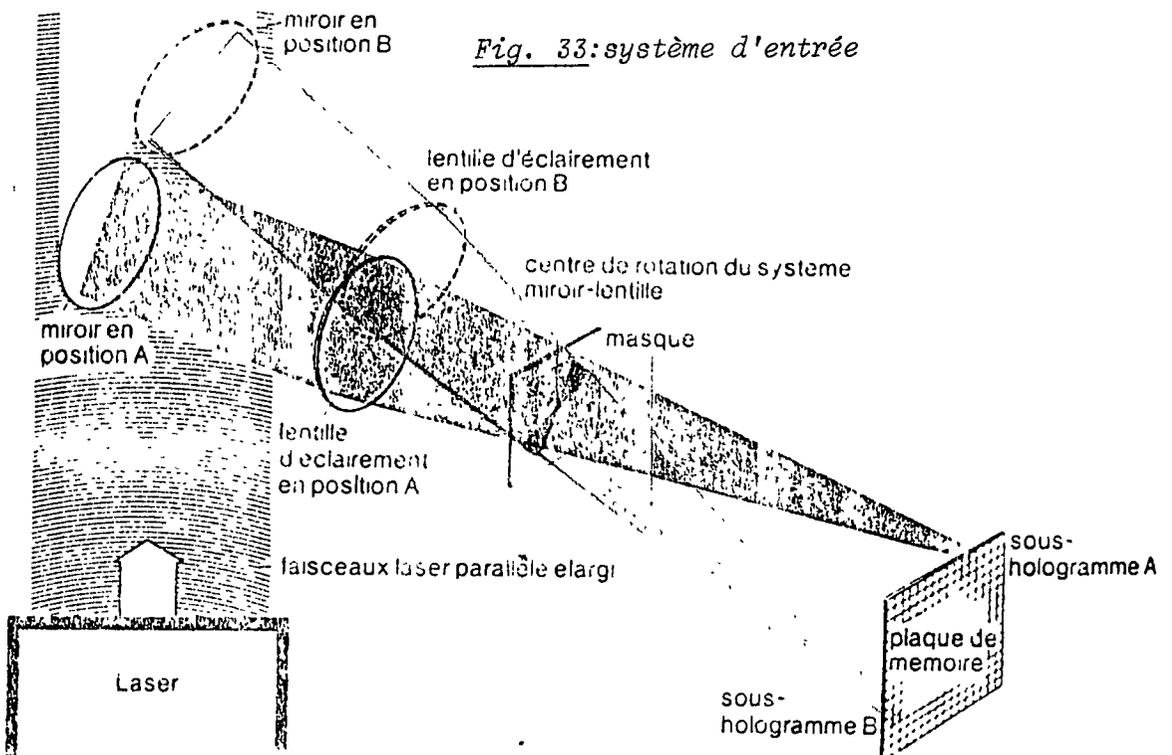
Les nouveaux progrès réalisés en optique, notamment dans les domaines du LASER, de l'holographie et des effets électro-optiques, ont donné lieu à de nouvelles techniques de stockage de l'information en masse. Les mémoires optiques ont cet intérêt particulier qu'elles offrent des temps d'accès comparables aux mémoires électroniques et des capacités comparables aux disques magnétiques.

L'hologramme est une figure donnée par deux faisceaux lumineux issus d'une même source ; produit par le faisceau d'un laser il peut être mémorisé sur un support mémoire qui est soit une plaque photographique, soit une bande holographique admettant des pistes de 1,5 à 2 microns de largeur.

PRINCIPE DE LA MEMOIRE HOLOGRAPHIQUE :

Elle utilise un dispositif électronique (déflecteur X - Y) pour orienter un faisceau laser sur une plaque mémoire contenant des sous-hologrammes.

(a) Système d'entrée :



(b) Système de sortie :

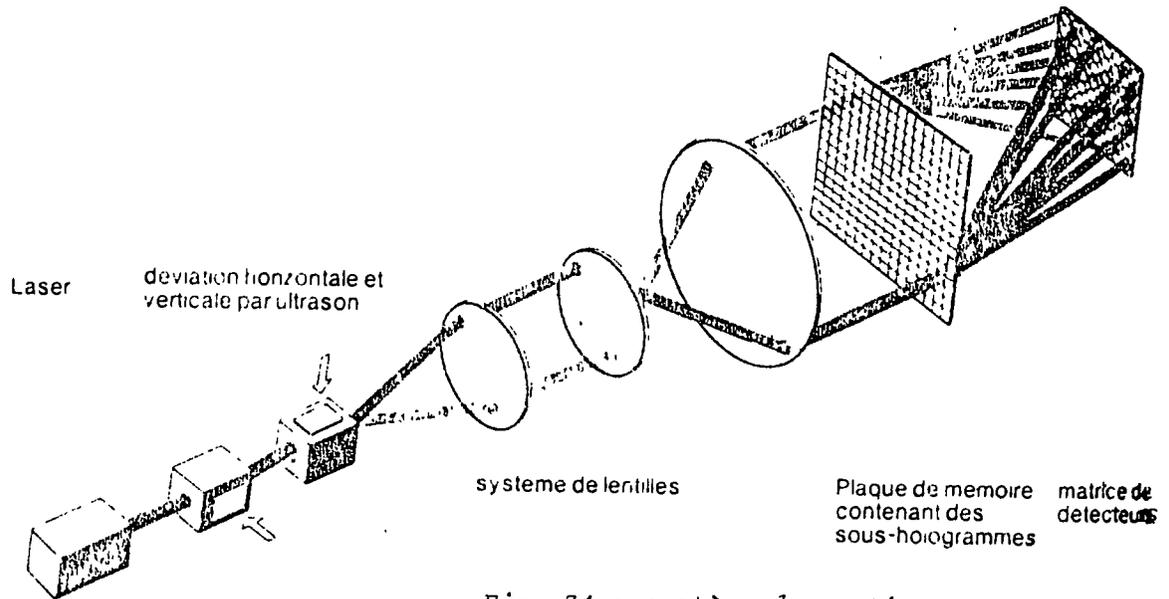


Fig. 34 : système de sortie

Les mémoires holographiques sont de trois types :

(i) ROM (Mémoire morte) :

Dans ce système, une plaque mémoire n'est utilisée qu'une fois. Il n'y a plus possibilité de modification (insertion, suppression et mise à jour impossibles). Toutefois, il existe des situations où ce type de mémoire pourrait être utilisé : stockage en masse de données d'archives ou de tout document devant être stocké en permanence.

Des plaques de mémoires holographiques existent actuellement sur le marché. Ainsi un "ruban" flexible de mémoire holographique peut contenir jusqu'à 10^9 bits. L'ordinateur ILLIAC de l'Université d'ILLINOIS utilise pas moins de 450 "rubans" de ce type.

(ii) Lecture - écriture - effacement :

D'énormes efforts ont été entrepris pour trouver des matériaux et des techniques permettant les insertions et les suppressions.

On a examiné des substances photochromiques telles que le titanate de strontium, thermoplastique, divers semi-conducteurs amorphes et des ferro-électriques du type niobiate de lithium. Le PLZT, une céramique transparente, ainsi que la trisulfure d'arsenic, connaissent un certain succès. On répartit sur une plaque de mémoire en céramique des électrodes conductrices.

En phase écriture en mémoire, des dépressions de la céramique sont créées à l'aide d'un faisceau relativement intense. Si l'on veut effacer l'information, on applique une tension à certaines électrodes qui a pour effet d'éliminer les dépressions voulues. En phase lecture de la mémoire, on utilise des faisceaux très affaiblis par rapport à ceux utilisés en phase écriture, de sorte qu'on ne modifie pas l'information stockée.

(iii) Mémoires holographiques à une dimension :

C'est une technique à mi-chemin entre les bandes magnétiques et les mémoires holographiques décrites plus haut. On utilise des "bandes" holographiques en thermoplastique effaçable admettant des pistes de 1,5 à 2 microns de largeur.

Pour l'écriture, on projette, à l'aide d'un faisceau de laser, des hologrammes à une dimension sur la bande en mouvement. Pour la lecture, on fait défiler la bande devant une tête lectrice constituée d'un faisceau Laser. Les effacements sont réalisés à l'aide d'un système de chaleur concentrée.

Le temps d'accès et la capacité sont nettement meilleurs que pour les bandes magnétiques. On prévoit des densités de stockage de l'ordre de 10^5 par mm^2 .

VI - COMPARAISON DES DIFFERENTES TECHNIQUES
CONCLUSION

VI.2. - CONCLUSION

Après plusieurs années d'études, les mémoires à bulles et les mémoires CCD sont maintenant lancées sur le marché (92kbit et 64kbit respectivement). Les mémoires à faisceau d'électrons et les mémoires optiques n'ont pas encore été véritablement commercialisées et leur avenir restent encore incertain. Les mémoires CCD bénéficieront, au départ, d'un préjugé favorable parce que leur technologie est proche de celle des mémoires MOS RAM. Par contre, les mémoires à bulles devraient rapidement toucher des secteurs de l'informatique plus variés et s'imposer par leur facilité et leur souplesse d'emploi.

Citons pour mémoire d'autres technologies à l'étude :

- les mémoires à effet Josephson, faisant appel à la supraconductivité à basse température
- les mémoires cryogéniques, très très rapides quand elles sont plongées dans un bain d'hélium liquide.

Toute amélioration radicale en technique de stockage de l'information va avoir une grande influence sur notre façon de vivre. Le défi est des plus fascinant puisqu'il nous plonge dans les connaissances fondamentales et fait appel à toute notre ingéniosité et notre esprit inventif.

BIBLIOGRAPHIE

- 1 - BHANDARKAR (D.P.), BARTON (J.B.), TASCH (A.F.)
C.C.D. Mémoires : A perspective
Dans : I.E.E.E. Computer Magazine, U.S.A., Vol. 12, N° 1,
Janvier 1979, p. 16 - 24.
- 2 - CATIER (Eric)
Les mémoires et afficheurs à bulles et leurs applications
industrielles à l'informatique
Dans : A2I, France, N° 65, Mars 1978, p. 19 - 29.
- 3 - CHANG (Hsu)
On bubble memories and relational data base
Dans : Proc. I.E.E.E. (Special issue on very large d.b.),
R.D.A., Septembre 1978, p. 202 - 229.
- 4 - COEURE (P), BRICE (J.M.), MAUDIT (D), MACKOWIAK (E)
Analyse et comparaison des possibilités d'emploi des
mémoires à bulles et à transfert de charges
1ère Partie : Mémoires à bulles magnétiques
Dans : L'onde électrique, France, Vol. 58, N° 3
Mars 1978, p. 229 - 234
- 5 - COEURE (P), BRICE (J.M.), MAUDIT (D), MACKOWIAK (E)
Analyse et comparaison des possibilités d'emploi des
mémoires à bulles et à transfert de charges
2ème Partie : Mémoires à transfert de charges
Dans : L'onde électrique, France, Vol. 58, N° 4,
Avril 1978, p. 312 - 318
- 6 - COEURE (P), BRICE (J.M.), MAUDIT (D), MACKOWIAK (E)
Analyse et comparaison des possibilités d'emploi des
mémoires à bulles et à transfert de charges
3ème Partie : Comparaison des mémoires à bulles
et à transfert des charges
Dans : L'onde électrique, France, Vol. 58, N° 5,
Mai 1978, p. 390 - 395
- 7 - HODGES (David A.)
Microelectronic memories
Dans : Scientific american, U.S.A., Vol. 234, N° 9,
Septembre 1977, p. 130 - 145
- 8 - KOCK (Winston E.)
Optical computing, an example of change
Dans : Proc. I.E.E.E., U.S.A., Vol. 65, N° 1, Janvier 1977,
p. 6 - 9

...

- 9 - LASFARGE (Yves)
Ordinateurs pour la gestion
Paris, Vecchi - I.F.G., 1978, p. 65 - 91
- 10 - RAJCHMAN (Jan A.)
New memory technologies
Dans : Science, U.S.A., Vol. 195, N° 4083, 18 Mars 1977,
p. 1223 - 1229
- 11 - RANDET (Denis)
Mémoires à enregistrement magnétique ; nouveaux types
de mémoires : études et recherches
Dans : Electronique et applications industrielles,
N° 235, Septembre 1977
- 12 - SCHMITT (H.J.)
Data handling and recording by laser
Dans : Opt. Act., G.B., Vol. 24, N° 4, p. 407 - 412
- 13 - TOOMBS (Dean M.)
An update : C.C.D. and bubble memories
Dans : I.E.E.E. spectrum, U.S.A., Vol. 15, N° 4, Avril 1978,
p. 22 - 30
- 14 - TOOMBS (Dean M.)
C.C.D. and bubble memories
Dans : I.E.E.E. spectrum, U.S.A., Vol. 15, N° 5, Mai 1978,
p. 36 - 39
-

POUR EN SAVOIR D'AVANTAGE...

MEMOIRE A BULLES

- 1 - BOBECK (A.), BONYHARD (P.), GEUSIC (J.)
Magnetic bubbles : An emerging new memory technology
Dans: Proc. I.E.E.E., U.S.A., Vol. 63, No 8, Août 1975, p. 1176-1195
- 2 - BUVINGER (E.A.), CUMMINS (S.E.)
Military applications of magnetic bubble memories
Dans : Electro, 77, N.Y., 19-21 Avril 1977
- 3 - COHEN (M.), CHANG (H.)
The frontiers of magnetic bubble technology
Dans : Proc. I.E.E.E., U.S.A., Vol. 63, N° 8, Août 1975, p. 1196-1290
- 4 - JOUVE (H.) et al.
Bubble propagation by disks formed by ion implantation
Dans : I.E.E.E. trans. on magnetics, Vol. MAG 12, 660, 1976
- 5 - WILLIAMS (J.E.)
Magnetic bubble memory in telephone systems
Dans : Electro, 77, N.Y., 19-22 Avril 1977

MEMOIRE A FAISCEAU D'ELECTRONS

- 1 - HUGHES (W.) et coll.
A semi-conductor non volatile electron beam accessed mass memory
Dans : Proc. I.E.E.E., Vol. 63, N° 8, Août 1975, p. 1230-1240

MEMOIRE CCD

- 1 - BHANDARKAR (D.P.)
Cost performance aspects of CCD fast auxiliary memory
Dans : Proc. 1975 Int'l symp. on appli. of CCDs, San Diego, p. 435-442
- 2 - BOYLE (W.S.), SMITH (G.E.)
Charge-Coupled semi-conductor Devices
Dans : Bell sys. tech. J., Vol. 49, N° 4, Avril 1970, p. 587-593
- 3 - TSCHON (W.E.) et coll.
4096-bit serial decoded multiphase serial-parallel CCD memory
Dans : I.E.E.E. J. Sol. sta. cir., Vol. SC-11, N° 1, Fév 1976, p.25-33
- 4 - ZIMMERMAN (T.A.), BARBE (D.F.)
A new role for Charge-Coupled Device
Dans : Electronics, Vol. 50, N° 7, 31 Mars 1977, p. 97-103

MEMOIRE A EFFET JOSEPHSON

- 1 - MAUDIT (D.), COLLIN (D.)
Etudes prospectives de l'application de l'effet Josephson aux mémoires
Dans : Rapp. final con. etudes DIELI 75-032 note LETI/EPA

MEMOIRES OPTIQUES

- 1 - ANDERSON (L.K.)
Holographic optical memory for bulk data storage
Dans : Bell Lab. Rec., Vol. 46, 1968, p. 318
 - 2 - HASKAL (H.), BERNAL (G.E.), CHEN (D.)
Subnanosecond laser recording on MNB 1 thin films
Dans : Appli. Opt., U.S.A., Vol. 13, N° 4, Avril 1974, p. 866-868
 - 3 - STEWARD (W.C.) et coll.
An experimental read-write holographic memory
Dans : R.C.A. Rev., U.S.A., Vol. 34, N° 1, Jan. 1973; p. 3-44
 - 4 - WEISER (K.), GAMBINO (R.J.), REINHOLD (J.A.)
LASER beam writing on amorphous chalcogenide films : cristallization
kinetics and analysis of amorphizing energy
Dans : Appli. phys. letters, U.S.A., Vol. 22, N° 1, Jan 1973, p. 48-49
-

SIGLES

- CCD - Charge-Coupled Device (voir DTC)
- CEA - Commissariat à l'Energie Atomique
- DIL - Dynamic Indexing Loop (boucle d'indexation dynamique)
- DTC - Dispositif à Transfert de Charges
- EBAM - Electron Beam-Accessed Memory
(mémoire à faisceau d'électrons)
- GGG - Grenat de Gadolinium et de Gallium
- LASER - Light Amplification by Stimulated Emission of Radiation
- LETI - Laboratoire d'Electronique et de Technologie de
l'Informatique
- LSI - Large-Scale Integration (intégration à grande échelle)
- MBM - Mémoire à Bulles Magnétiques
- MOS - Metal Oxyde Semi-conductor
- RAM - Random-Access Memory (mémoire à accès aléatoire)
- ROM - Read-Only Memory (mémoire morte)
- UC - Unité Centrale

VI.1. - COMPARAISON DES DIFFÉRENTES TECHNIQUES

Les mémoires à bulles, les mémoires CCD et les mémoires à faisceau d'électrons comblent le fossé qui existe entre les mémoires électroniques extrêmement rapides et les mémoires magnétiques bien plus lentes (fig. 35).

Centime/bit

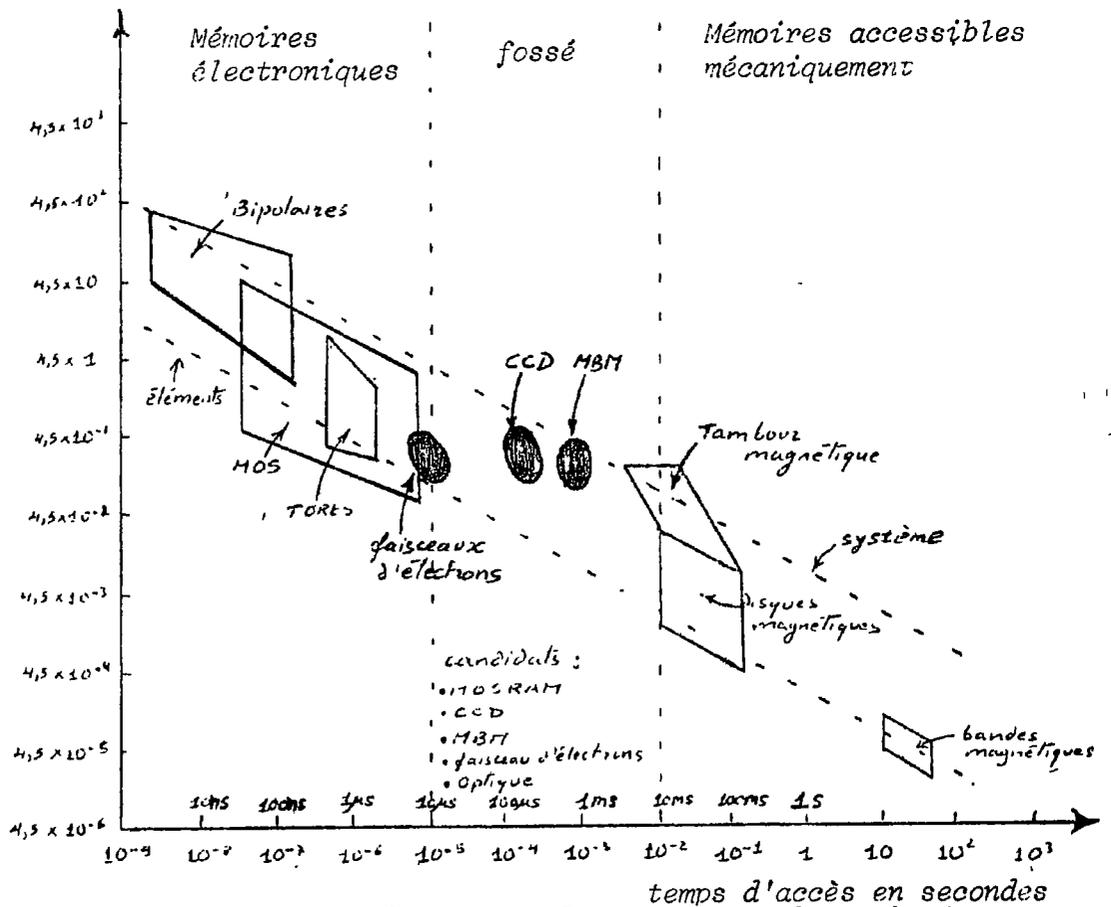


Fig. 35 : Comparaison des mémoires

Au cours de la prochaine décennie, le coût de toutes ces mémoires pourrait chuter d'un facteur 10.

Voici un tableau donnant les caractéristiques des principales mémoires disponibles en 1978 :

	Taux d'erreur	Volatile	Arrêt-Marche	Mécanique	Acces	Débit	Capacité
Mémoires à accès aléatoire MOS	10^{-10}	Oui	Non	Non	200 ns	3 M bits/s par puce	16 K mots de 1 bit par puce
DIC	10^{-10}	Oui	Non	Non	250 μ s	5 M bits/s par puce	64 K mots de 1 bit par puce
MBM	10^{-12}	Non	Oui	Non	3,5 ms	200 K bits/s par puce	91 K bits par puce
Disques à têtes fixes	10^{-10}	Non	Non	Oui	10 ms	4 M bits/s	20 M bits
Disque souple	10^{-9}	Non	Non	Oui	250 ms	250 K bits/s	3 M bits